

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-121731

(43) Date of publication of application : 30.04.1999

(51)Int.Cl.

H01L 27/146  
H04N 5/335

(21)Application number : 09-306516

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO  
LTD

(22) Date of filing : 20.10.1997

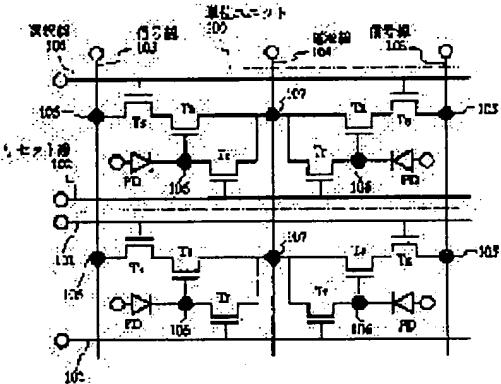
(72)Inventor : CHIYOU KOUYUU  
SAKAKURA MASAYUKI  
SATOU YURIKA

## (54) IMAGE SENSOR

(57) Abstract:

**PROBLEM TO BE SOLVED:** To form an active image sensor at high density on a glass or quartz substrate.

**SOLUTION:** A selection transistor  $T_s$  comprising a thin film transistor, an amplifier transistor  $T_a$  and a reset transistor  $T_r$  are formed in a matrix circuit. A photodiode  $PD$  is formed on the matrix circuit through an insulating layer. A power supply line 104 is commonly used by adjacent two lines so as to decrease the number of lines per picture element. The whole transistors in a unit 100 are formed on an insular semiconductor thin film so as to decrease the number of contact holes per picture element.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

\*.NOTICES \*

Japan Patent Office is not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] It is formed on the substrate which has an insulating front face, and comes to carry out the laminating of a photoelectrical transducer and the matrix circuit which reads the lightwave signal detected by the aforementioned photoelectrical transducer. They are the image sensors of an active method which have two or more pixels. the aforementioned matrix circuit In 2 pixels which has a signal line, a power line, a reset line and a selection line, and the reset transistor, the selection transistor and amplification transistor that become by TFT for every aforementioned pixel, and adjoins They are the image sensors characterized by connecting electrically the aforementioned reset transistor and the aforementioned amplification transistor to the common aforementioned power line, and connecting the aforementioned selection transistor to the different aforementioned signal line electrically.

[Claim 2] It is formed on the substrate which has an insulating front face, and comes to carry out the laminating of a photoelectrical transducer and the matrix circuit which reads the lightwave signal detected by the aforementioned photoelectrical transducer. They are the image sensors of an active method which have two or more pixels. the aforementioned matrix circuit In 2 pixels which has a signal line, a power line, a reset line and a selection line, and the reset transistor, the selection transistor and amplification transistor that become by TFT for every aforementioned pixel, and adjoins The aforementioned reset transistor and the aforementioned amplification transistor are electrically connected to the common aforementioned power line. The barrier layers of the aforementioned reset transistor which the aforementioned selection transistor is electrically connected to the different aforementioned signal line, and is formed in the adjoining concerned 2 pixels, a selection transistor, and an amplification transistor are image sensors characterized by becoming by one island-like semiconductor thin film.

[Claim 3] It is formed on the substrate which has an insulating front face, and comes to carry out the laminating of a photoelectrical transducer and the matrix circuit which reads the lightwave signal detected by the aforementioned photoelectrical transducer. They are the image sensors of an active method which have two or more pixels. the aforementioned matrix circuit The screening electrode which was formed between the signal line, the selection line and the reset line, and the lower electrode of the aforementioned photoelectrical transducer, the aforementioned signal line, a selection line and a reset line, and was fixed to power potential, They are the image sensors which have the selection transistor, the amplification transistor, and reset transistor which become by TFT for every aforementioned pixel, and are characterized by connecting electrically the aforementioned reset transistor and the aforementioned amplification transistor to the aforementioned screening electrode.

[Claim 4] It is formed on the substrate which has an insulating front face, and comes to carry out the laminating of a photoelectrical transducer and the matrix circuit which reads the lightwave signal detected by the aforementioned photoelectrical transducer. They are the image sensors of an active method which have two or more pixels. the aforementioned matrix circuit The screening electrode which was formed between the signal line, the selection line and the reset line, and the lower electrode of the aforementioned photoelectrical transducer, the aforementioned signal line, a selection line and a reset line, and was fixed to power potential, It has the selection transistor, the amplification transistor, and reset transistor which become by TFT for every aforementioned pixel. The aforementioned reset transistor and the aforementioned amplification transistor are electrically connected to the aforementioned screening electrode. The barrier layers of the aforementioned reset transistor formed in adjoining 2 pixels, a selection transistor, and an amplification transistor are image sensors characterized by becoming by one island-like semiconductor thin film.

[Claim 5] They are the image sensors characterized by the aforementioned screening electrode being a common electrode common to two or more aforementioned pixels in the claim 3 or the claim 4.

[Claim 6] They are the image sensors characterized by forming the barrier layer of the aforementioned reset transistor, a selection transistor, and an amplification transistor with polycrystal silicon in claims 1-5.

[Claim 7] They are the image sensors characterized by the aforementioned photoelectrical transducer having amorphous silicon in claims 1-6.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the image sensors of an active method which used the insulated-gate type transistor. Moreover, the image sensors of this invention are related with the image sensors of the laminated structure to which the laminating of a matrix circuit and the photoelectrical transducer was carried out.

[0002]

[Description of the Prior Art] Although CCD type and MOS type using single crystal silicon as image sensors are put in practical use conventionally, CCD type occupies many of commercial scenes. In recent years, the active type (amplified type) equipped with amplifier attracts attention about the structure of the matrix circuit of MOS type image sensors. In the active type, since the detected lightwave signal is amplified and read, an S/N ratio is improved sharply and photographic sensitivity which is equal to CCD is realized. Moreover, since MOS type has the advantages, like power consumption is lower than CCD in order that a VLSI manufacturing process and process adjustment may use the single power supply in which the formation of an one chip is possible for a good circumference drive circuit, it is expected as a sensor of the next generation.

[0003] The equal circuit of 1 pixel of MOS type image sensors of the conventional active method is shown in drawing 17. Here, image sensors photo diode type [ of the active methods ] are shown. In 1 pixel, it has photo diode 10, the reset transistor 11 which resets the potential of the lower electrode of photo diode 10, the amplification transistor 12 for amplifying the lightwave signal detected by photo diode 10, and the selection transistor 13 for choosing the line which reads a signal.

[0004] The up electrode by the side of the optical incidence of photo diode 10 is connected to fixed potential pinch off voltage, and the lower electrode is connected to the gate of the drain of the reset transistor 11, and the amplification transistor 12. The gate of the reset transistor 11 arranged at the same line is connected to the common reset line 21, the gate of the selection transistor 13 arranged at the same line is connected to the common selection line 22, and the drain of the selection transistor 13 arranged at the same train is connected to the common signal line 23. Moreover, the potential of the source of the reset transistor 11 and the amplification transistor 12 is connected to power potential by the power line 24, respectively.

[0005] Since two or more transistors arranged at 1 pixel are in one of the faults of MOS type sensor of an active method, although it is mentioned that a pixel pitch becomes large, progress of the micro-processing technique of a VLSI and maturation are being solved, and this fault can manufacture MOS type sensor of a high-density active method by them, in recent years.

[0006] For example, when it is the matrix circuit where three transistors have been arranged at 1 pixel shown in drawing 17, in a standard design of CMOS-VLSI, a pixel pitch serves as 15xa (a is a design rule), and in 1 micrometer, a pixel pitch turns into 15 micrometers / pitch, and a serves as 7.5 micrometers / pitch with 0.5 micrometer rule, and serves as 5 micrometers / pitch with 0.35 micrometer rule.

[0007] In recent years, need increases for personal computers, such as a digital camera, or Personal Digital Assistants, and, as for the camera using image sensors, low-cost-izing and the miniaturization are demanded. In order to attain this demand, it is necessary to reduce optical system (lens). In order to use small 1 / 3 type optical system, generally, by VGA (640x480) specification, a pixel pitch is set to 10 micrometers and it is said by SVGA (800x600) specification that what is necessary is just to set a pixel pitch to 5 micrometers. Therefore, what is necessary is just to adopt the standard process of 0.35 micrometer rule by SVGA specification that what is necessary is just to adopt the standard process of 0.5 micrometer design rule by the sensor of VGA specification, in order to use 1 / 3 type optical system.

[0008] On the other hand, although the image sensors which used TFT (TFT) on insulating substrates, such as a glass substrate and a glass substrate, are put in practical use, since the amorphous silicon thin film is used for TFT, mobility

is low, and since utilization of an active method is difficult, the many are un-amplifying type passive methods. Moreover, intended use is not a camera but a stuck type sensor for static images.

[0009] In recent years, in the field of the liquid crystal panel, the manufacturing technology of the TFT which used polycrystal silicon is developed positively. On a glass substrate or a quartz substrate, the polycrystal silicon TFT of high mobility with a uniform property becomes producible, and the liquid crystal panel using polycrystal silicon TFT is put in practical use.

[0010] Therefore, in the sensor of the active method mentioned above, forming the image sensors of camera intended use on a glass substrate or a quartz substrate can be realized by transposing the MOS transistor produced on the single-crystal-silicon substrate to polycrystal silicon TFT.

[0011]

[Problem(s) to be Solved by the Invention] Although it is one of the important points to improve and to equalize the property of TFT in order to realize the active method using polycrystal silicon TFT, since there is a constraint of a design rule, it becomes the technical problem of the top priority which reducing a pixel pitch should solve.

[0012] The design rule for producing TFT in the present condition is about 1 micrometer in a small quartz substrate (200mmx200mm), and is about 2-3 micrometers in a glass substrate (400mmx500mm). Generally the circuit pixel pitch by which three transistors have been arranged at 1 pixel shown in drawing 17 is called 15xa by the standard design of CMOS-VLSI. If this calculation technique is applied also to TFT, a pixel pitch will turn into 15 micrometers / pitch with 1 micrometer rule of a quartz substrate, and will turn into 30 micrometers / pitch with 2 micrometer rule of a glass substrate. Therefore, when it is made into VGA specification, the horizontal dimension of an effective light-receiving field is set to 15micrometer/pitch x640=9.6mm with 1 micrometer rule, and is set to 19.2 twice as manymm as this with 2 micrometer rule.

[0013] The greatest things in the camera optical system which can come to hand cheaply now are 2/3 types. However, since the horizontal dimension of 2 / 3 type optical system is about 8.7mm, even if it uses the parvus quartz substrate of a design rule, it cannot adopt 2 / 3 type optical system as the image sensors of an active method. Therefore, even if it manufactures image sensors by TFT, optical system will come size, and the price of image sensors will rise sharply. Since it is cheap, although a glass substrate is a large area, and it is more possible than conventional MOS type and conventional CCD type using single crystal silicon to make the manufacturing cost of a TFT type sensor low, this advantage will be lost by using large-sized optical system.

[0014] Therefore, it is difficult for the property and reliability of polycrystal silicon TFT to use the optical system below 2 / 3 type because of the constraint of a design rule by there being no problem. this invention cancels such a trouble and it aims at offering the plane configuration and element structure for reducing a pixel pitch in the image sensors of the active method using TFT.

[0015]

[Means for Solving the Problem] The image sensors of this invention for solving the technical problem mentioned above are formed on the substrate which has an insulating front face, and are related with the image sensors of an active method which it comes to carry out the laminating of a photoelectrical transducer and the matrix circuit which reads the lightwave signal detected by the aforementioned photoelectrical transducer, and have two or more pixels. By considering as a laminated structure, occupancy area per pixel is made small.

[0016] The matrix circuit of an active method has a signal line, a power line, a reset line and a selection line, and the reset transistor, the selection transistor and amplification transistor that were formed for every aforementioned pixel. In this invention, it is characterized by forming these transistors by TFT.

[0017] Furthermore, in the two aforementioned pixels which the image sensors of this invention adjoin, the aforementioned reset transistor and the aforementioned amplification transistor are electrically connected to the common aforementioned power line, and the aforementioned selection transistor is characterized by connecting with the different aforementioned signal line electrically.

[0018] That is, this invention is sharing a power line in two pixels, cuts down the number of wirings per pixel, and attains reduction-ization of a pixel pitch.

[0019] Furthermore, in this invention, in order to make a pixel pitch small, it is characterized by forming the reset transistor formed in adjoining 2 pixels which is sharing the power line, a selection transistor, and all amplification transistors in one island-like semiconductor thin film. A contact hole is mentioned to one factor which increases a pixel pitch. It is because manufacture margins, such as alignment of a mask, are needed for forming a contact hole.

[0020] In this invention, since the barrier layer of the TFT formed in 2 pixels was formed by one island-like semiconductor thin film, the contact hole for connecting each TFT becomes unnecessary, and a pixel pitch can be made small. Furthermore, the effect that the contact hole for connecting a reset transistor and an amplification transistor to a power line can be communalized in two pixels can also be acquired.

[0021] Furthermore, the image sensors of other invention form the screening electrode fixed to power potential

between the signal line of the aforementioned matrix circuit, a selection line and a reset line, and the lower electrode of the aforementioned photoelectrical transducer, and are characterized by connecting electrically the aforementioned reset transistor and the aforementioned amplification transistor to the aforementioned screening electrode.

[0022] In the image sensors formed in a silicon substrate, since a silicon substrate can fix to fixed potential, the influence which potential change of a wiring of a matrix circuit has on the potential of the lower electrode of a photoelectrical transducer will not become not much big. However, in this invention, in order to form image sensors in an insulating front face, noise occurrence of the lower electrode by potential change of a matrix circuit poses a big problem.

[0023] Therefore, in this invention, by the screening electrode fixed to power potential, the equipotential surface is formed between the signal line of the lower electrode of a photoelectrical transducer, and a matrix circuit, a selection line, and a reset line, and the lower electrode of the aforementioned photoelectrical transducer is shielded. Furthermore, by this screening electrode, the number of wirings is cut down by supplying an operating power to an amplification transistor and a reset transistor instead of forming a power line.

[0024] Moreover, in the above-mentioned configuration, reduction of a pixel pitch is aimed at by constituting the barrier layer of the aforementioned reset transistor formed in two adjoining pixels, a selection transistor, and an amplification transistor from one island-like semiconductor thin film.

[0025]

[Example] The example of this invention is explained in detail below using view 1 - view 16.

[0026] [Example 1] As for this example, a matrix circuit and a photoelectrical transducer make a laminated structure about active type image sensors. A matrix circuit has three transistors in 1 pixel like the conventional example. At this example, these transistors are formed by the TFT formed in the insulating front face.

[0027] Drawing 1 is a representative circuit schematic of 2x2 pixels of the image sensors of this example. In this example, 2 pixels which adjoins in the same line so that it may surround with a dashed line become the unit unit 100. The selection line 101 and the reset line 102 are arranged for every line, and the signal line 103 is arranged for every train. Furthermore, the power line 104 for supplying power is arranged every two trains in parallel with a signal line 103. By sharing the power line 104 between two adjoining trains, the number of wirings per pixel decreases and a pixel pitch can be made small.

[0028] Selection transistor Ts, amplification transistor Ta, and the reset transistor Tr are formed in each pixel, respectively. The gate of the selection transistor Ts formed in the same line is connected to the common selection line 101, and the gate of the reset transistor Tr formed in the same line is connected to the common reset line. Moreover, the gate of amplification transistor Ta is connected to photo diode PD for every pixel.

[0029] In drawing 1, the black dot shows the contact holes 105-107. The contact holes 105-107 are for connecting to a wiring the source / drain field formed in the barrier layer of each transistor. The drain field of the selection transistor Ts arranged at the same train is connected to the common signal line 103 through the contact hole 105. In each pixel, the gate electrode of amplification transistor Ta and the source field of the reset transistor Tr are connected to the lower electrode of photo diode (photoelectrical transducer) PD through the common contact hole 106.

[0030] Moreover, the source field of two amplification transistor Ta in the unit unit 100 and two reset transistors Tr is connected to the power line 104 in one contact hole 107. In 2 pixels which constitutes the unit unit 100, since the contact hole 107 of all the TFT connected to the power line 104 is communalized, the number of contact holes per pixel is cut down, and reduction-ization of a pixel pitch can be attained.

[0031] Furthermore, curtailment of the occupancy area of a pixel is aimed at by forming the barrier layer of all the transistors formed in two adjoining pixels which constitute the unit unit 100 from this example in one island-like semiconductor thin film.

[0032] The technique of the image sensors of this example of operation is the same as that of the image sensors of a general active method, and the lightwave signal detected in the photoelectrical change section is amplified and read in the matrix circuit. If the video signal for one frame is detected, a reset pulse signal will be inputted from the reset line 104, the reset transistor Tr will be in an ON state, and the lower electrode of photo diode PD and the potential of amplification transistor Ta will be reset by power potential. As for the gate electrode of amplification transistor Ta, the reset transistor Tr is made into the suspension status in the time of un-choosing. The light which carried out incidence in photo diode PD is changed into a charge, and is accumulated. The potential of the lower electrode of photo diode PD changes with these charges from power potential very small. In amplification transistor Ta, change of the potential of a lower electrode is detected as potential change of a gate electrode, and is amplified as a drain current. If a selection pulse signal is inputted from the selection line 101, the selection transistor Ts will be made into an ON state, and the drain current outputted from amplification transistor Ta will be read to a signal line 103 as a video signal.

[0033] Hereafter, the production process of the image sensors of this example is explained using drawings 2 -6. Drawing 2 - view 5 is a plan explaining the production process of the image sensors of this example. Drawing 6 is a

cross section of the outline of the image sensors of this example, drawing 6 (A) is the cross-section illustration by line A-A' of drawing 2 - view 5, and the cross section of the orientation of channel length of the selection transistor Ts and amplification transistor Ta is illustrated. The cross-section structure according [ drawing 6 (B) ] to line B-B' of drawing 2 - view 5 is illustrated, and the cross-section structure of the reset transistor Tr is illustrated.

[0034] In this example, values, such as spacings, such as the width of face of a wiring, and a wiring, a wiring, and a size of a contact hole, are designed according to design-rule a. As a substrate 201 which has an insulating front face, substrates, such as a quartz, synthetic quartz, an alkali free glass, and borosilicate glass, can be used. Furthermore, the substrate by which the oxidization silicon layer and the silicon nitride film were formed in these substrates front face as an insulating substratum layer can be used. On a substrate 201, the island-like field 202 which becomes with polycrystal silicon every unit unit 100 as shown in drawing 2 is formed. The barrier layer of six TFT formed in the unit unit 100 is formed in the island-like field 202.

[0035] In order to form the island-like field 202, first, by the plasma CVD method, an amorphous silicon layer is formed in thickness of 20-150nm, and excimer laser light is irradiated and is polycrystal-ized. As the crystallization technique of an amorphous silicon layer, the heat crystallizing method called SPC, the RTA method which irradiates infrared radiation, the technique of using heat crystallization and laser annealing together, etc. can be used. And patterning of the polycrystal-ized silicon layer is carried out, and as shown in drawing 2, the island-like field 202 is formed every unit unit 100. Next, a channel dope is carried out by the concentration of boron  $5 \times 10^{16}$ - $30 \times 10^{16}$ atoms/cm<sup>3</sup> to the island-like field 202. You may perform a channel dope before patterning of the island-like field 202.

[0036] Next, as shown in drawing 6, the wrap gate insulator layer 203 is formed for the these islands-like field 202. The gate insulator layer 203 uses a silane (SiH<sub>4</sub>) and N<sub>2</sub>O for material gas, and forms them in thickness of 50-200nm by the plasma CVD method. Moreover, when thermal resistance uses a good quartz substrate for a substrate 201, it is also possible to form a thermal oxidation layer with a thickness of 50-150nm for the gate insulator layer 203.

[0037] Next, as shown in drawing 3, electric conduction layers, such as aluminum and Cr which constitute the signal line 101 used as the 1st-layer wiring and the selection line 102, and a conductive polysilicon contest layer, are formed. Patterning of this electric conduction layer is carried out, and the selection line 101, the reset line 102, and the gate electrode 206 of amplification transistor Ta are formed.

[0038] The gate electrode 204 of the selection transistor Ts is formed in the selection line 101 in one, and the gate electrode 205 of the reset line 102 and the reset transistor Tr is formed in it in one. The gate electrode 206 of amplification transistor Ta is formed. The gate electrode 206 of amplification transistor Ta overlaps the fraction in which the barrier layer of the reset transistor Tr is formed, and is formed. This is for making easy connection between the gate electrode 206 of amplification transistor Ta and the drain field of the reset transistor Tr, and the lower electrode of photo diode. Width of face of the selection line 101 and the reset line 102 is set to design-rule a.

[0039] Next, the gate electrodes 204-206 are used as a mask, and Lynn which gives the conductivity of N type to the island-like field 202 is doped. After doping, while Lynn doped by heat-treatment or laser radiation is activated, the crystallinity of the island-like field damaged by doping is improved. In this process, intrinsic conductivity is maintained substantially and the field as for which the mask was carried out by the gate electrodes 204-206 of the island-like field 202 is demarcated, respectively as selection transistor Tr, the reset transistor Ts, and channel formation fields 207, 208, and 209 of amplification transistor Ta. Moreover, by the barrier layer of the reset transistor Tr, the conductivity of genuineness [ field / which the gate electrode 206 of amplification transistor Ta overlaps / 210 ] is maintained. On the other hand, the field as for which a mask is not carried out by the gate electrodes 204-206 of the island-like field 202 turns into the source / drain field of N type.

[0040] Next, an oxidization silicon layer with a thickness of 200-600nm is formed as 1st layer insulation layer 211. And the contact hole 107 adjusted to the source field of the contact hole 106 adjusted to the contact hole 105 adjusted to the drain field of the selection transistor Ts in the gate insulator layer 203 and the 1st layer insulation layer 211, the gate electrode 206 of amplification transistor Ta, and the drain field of the reset transistor Tr, amplification transistor Ta, and the reset transistor Tr is formed.

[0041] Patterning of the cascade screen which becomes by the 100nm titanium layer, the 300nm aluminum layer, and the 100nm titanium layer is formed and carried out, and as shown in drawing 4, the electrode 212 for the connection with a signal line 103, the power line 104, and the lower electrode of photo diode PD is formed. A signal line 103 is connected to the drain field of the selection transistor Ts through the contact hole 105. The power line 104 is connected to the source field of all amplification transistor Ta arranged at the unit unit 100, and the reset transistor Tr through the contact hole 107. An electrode 212 is connected to the gate electrode 206 of amplification transistor Ta, and the drain field of the reset transistor Tr through the contact hole 106. Width of face of the signal line 103 and the power line 104 is set to design-rule a except for the connection with TFT. A matrix circuit is completed according to the above process. ( Drawings 4 and 6 )

[0042] In this example, in order to form in the island-like field 202 of all six TFT [ one ] arranged at the unit unit 100 which becomes by adjoining 2 pixels, the contact hole for connecting electrically the source / drain field of different TFT is unnecessary. Therefore, the number of the contact holes 107 for connecting to the power line 104 a total of two amplification transistor Ta each arranged at this unit unit, the reset transistor Tr, and four TFT one, and a horizontal pixel pitch is reduced.

[0043] Next, as shown in drawing 6, the 2nd layer insulation layer 213 for separating a matrix circuit and a photoelectrical transducer (photo diode PD) between layers is formed all over substrate 201. As 2nd layer insulation layer 213, the irregularity of a lower layer is offset, and the flattening layer with which a flat front face is obtained is desirable, for example, can use oxidization silicon system application layers, such as resin layers, such as a polyimide, a polyamide, a polyimidoamide, and an acrylic, oxidization silicon, and PSG. Moreover, the surface layer of the 2nd layer insulation layer 213 is used as a flattening layer, and a lower layer is good also as the monolayer of inorganic insulating materials, such as oxidization silicon, a silicon nitride, and an oxidization silicon nitride, and a multilayer. In this example, a polyimide layer is formed in thickness of 1.5 micrometers as 2nd layer insulation layer 213.

[0044] Next, the contact hole 214 adjusted in an electrode 212 is formed in the 2nd layer insulation layer 213. Next, photo diode PD which has the silicon layer which has PIN junction is formed. Metal membranes, such as Ti, Cr, Mo, etc. which constitute the lower electrode 221 of photo diode PD first, are formed. In this example, a titanium layer with a thickness of 200nm is formed by the \*\*\*\*\* method as an electric conduction layer. Next, in thickness of 30-50nm, the n type amorphous silicon layer containing Lynn which carries out an ohmic junction with the lower electrode 221 is formed here at the thickness of 30nm. n layer 222 of the same pattern as n type amorphous silicon layer and the lower electrode 221 which carried out titanium layer patterning, was electrically separated for every pixel as shown in drawing 5, and was connected to the electrode 212, and the lower electrode 221 is formed.

[0045] Next, an i type hydrogenation amorphous silicon layer is formed to a 1.5-micrometer thickness 1-2 micrometers and here. Continuously, the p type amorphous silicon layer containing boron is formed in thickness of 30-100nm here at the thickness of 50nm. As a result, the n layer 222 or i layers layer [ photo-electric-translation ] which becomes by 224 223 or p layers is formed. The transparent electric conduction layers which constitute an up electrode on p layer 224, such as ITO or SnO<sub>2</sub>, are formed. Here, 120nm ITO layer is formed as an up electrode 225. The up electrode 225 is formed in all pixels in one in common. Photo diode PD is completed by the above.

[0046] The amorphous silicon germanium of i type [ 223 ] i layers of photo diode PD can be used. Moreover, 224 can use n-layer 222 or p layers of microcrystal silicon instead of amorphous silicon. Furthermore, p layers of n layers of 222, n types which added Lynn and boron or p type silicon nitrides, oxidization silicon, and silicon carbides can be used as a material of 224. Moreover, you may form the oxidization silicon layer for an ohmic junction which functions as a buffer layer instead of 222 n layers, and a silicon nitride film in thickness of about 10nm. Moreover, instead of forming a photo-electric-translation layer with the silicon which has PIN junction, it can form only in i type hydrogenation amorphous silicon or crystalloid silicon germanium, and Schottky-barrier type photo diode PD can also be formed.

[0047] In this example, as shown in drawing 5, within the unit unit 100, only the power line 104 fixed to power potential exists in the opening between the lower electrodes 221 of adjoining photo diode PD. Only in the width of face of design-rule a, among other unit units 100, the selection line 101, the reset line 102, and the signal line 103 exist in the four corners of the lower electrode 221. Therefore, since the wirings 101-103 with which potential is changed hardly exist in the opening between the adjoining lower electrodes 221 and the lower electrodes 221, potential change of the lower electrode 221 which occurs by potential change of these wirings 101-103 can be suppressed.

[0048] On the other hand, in the optical incidence side, the up electrode 225 has the structure of a common electrode common to all pixels, and is connected to predetermined fixed potential in the light-receiving field exterior. Therefore, the optical incidence side of the lower electrode 221 is shielded by the potential side -- the up electrode 225 makes.

[0049] In this example, a pixel pitch (horizontal, x vertical) serves as 11ax13a (a is a design rule). Generally by the pixel specification of image sensors, the level:perpendicular ratio of the number of pixels is 4:3. Therefore, as for the level:perpendicular ratio of a pixel pitch, 3:4 is ideal. Therefore, when optical system is miniaturized, the \*\* rule of the size of a pixel pitch serves as a horizontal pixel pitch, and when a horizontal pitch is set to 3, a vertical pitch is designed so that 4 may not be exceeded.

[0050] Although a pixel pitch is 15a in a standard design of CMOS-VLSI as the conventional example described, it is able to reduction-ize a horizontal pixel pitch and to set to 11a especially, in this example. For example, when design-rule a is set to 1 micrometer and pixel specification is set to VGA (640x480), the horizontal length of an effective light-receiving field is set to 11x1micrometerx640=7.04mm, and it is enabled to use 2/3 inch optical system.

[0051] [Example 2] this example is a modification of the matrix circuit of an example 1. Drawing 7 is a representative circuit schematic of 2x2 pixels of the image sensors of this example. Drawing 8 is a typical plan of the matrix circuit of this example. The point different from an example 1 is the so-called point which carried out multi-gate structure of

having two gate electrodes for the selection transistor Ts. In drawing 7 and the drawing 8, the same sign as drawing 1 and the drawing 4 shows the same component.

[0052] As shown in drawing 8, two gate electrodes 301 and 302 of the selection transistor Ts are formed in the selection line 101 in one. Moreover, the barrier layer of all the TFT formed in the unit unit 300 like an example 1 is formed in one island-like field 303. The field 304 of the rectangle shown by the thick line in drawing 8 shows the flat-surface pattern of a lower electrode that what is necessary is just to form a photoelectrical transducer (photo diode PD) like an example 1.

[0053] In this example, the selection transistor Ts is considering as the structure two transistors' having been connected in series, and is aiming at the reduction of the leakage current of the selection transistor Ts at the time of un-choosing. If a current leaks from the selection transistor Ts at the time of un-choosing, the signal current outputted from a signal line will decrease. Moreover, this leakage current serves as a noise to the signal current outputted from other pixels. In this example, these two troubles are canceled by using the selection transistor Ts as a multi-gate type.

[0054] Although a horizontal pixel pitch will be set to 13a (a is a design rule) and will become larger than an example 1 in this example, in order to form two gate electrodes 301 and 302 of the selection transistor Ts in the selection line 101, since the power line 104 is shared in two adjoining trains, it is reduction-ized rather than the conventional pixel pitch 15a.

[0055] [Example 3] this example is a modification of the matrix circuit of an example 1. Drawing 9 is a representative circuit schematic of 2x2 pixels of the image sensors of this example. Drawing 10 is a typical plan of the matrix circuit of this example. The point different from an example 1 is the so-called point which carried out multi-gate structure of having two gate electrodes for the reset transistor Tr. In drawing 9 and the drawing 10, the same sign as drawing 1 and the drawing 4 shows the same component. The field 314 of the rectangle shown by the thick line in drawing 10 shows the field in which a lower electrode is formed that what is necessary is just to form a photoelectrical transducer (photo diode PD) like an example 1.

[0056] As shown in drawing 10, two gate electrodes 311 and 312 of the reset transistor Tr are formed in the selection line 102 in one. Moreover, the barrier layer which constitutes all the TFT formed in the unit unit 310 like an example 1 is formed in one island-like field 313. Moreover, although a horizontal pixel pitch will be set to 12a (a is a design rule) and will become larger than an example 1 in this example, since the power line 104 is shared in two adjoining trains, it is reducible from pixel pitch 15a of the conventional example.

[0057] In this example, the reset transistor Tr is considering as the structure two transistors' having been connected in series, and the leakage current of the reset transistor Tr at the time of un-choosing is aiming at the reduction. If a current leaks from the reset transistor Tr at the time of un-choosing, at this time, the potential of the gate electrode 206 of amplification transistor Ta made into the suspension status will rise. The size of the current amplified by amplification transistor Ta is equivalent to the decrement width of face of the potential of the gate electrode. Therefore, elevation of the potential of a gate electrode decreases the drain current outputted from amplification transistor Ta. The signal current read from the pixel will become small. Consequently, the luminosity nonuniformity of a fall of resolution or a picture will arise. In this example, by using the reset transistor Tr as a multi-gate type, a leakage current can be reduced and this problem can be solved.

[0058] [Example 4] this example is a modification of the matrix circuit of an example 1. Drawing 11 is a representative circuit schematic of 2x2 pixels of the image sensors of this example. Drawing 12 is a typical plan of the matrix circuit of this example. The point different from an example 1 is the so-called point which carried out multi-gate structure of having two gate electrodes for the selection transistor Ts and the reset transistor Tr. In drawing 11 and the drawing 12, the same sign as drawing 1 and the drawing 4 shows the same component.

[0059] Two gate electrodes 321 and 322 of the selection transistor Ts are formed in the selection line 101 in one, and two gate electrodes 323 and 324 of the reset transistor Tr are formed in the reset line 102 in one. Moreover, the barrier layer of six TFT arranged at the unit unit 320 consists of one island-like field 325. The field 326 of the rectangle shown by the thick line in drawing 12 shows the flat-surface pattern of a lower electrode that what is necessary is just to form a photoelectrical transducer (photo diode PD) like an example 1.

[0060] In this example, the trouble resulting from the leakage current of the selection transistor Ts shown in the example 2 and the example 3 and the reset transistor Tr is simultaneously cancelable by making the selection transistor Ts and the reset transistor Tr into double-gate structure. In addition, in this example, a horizontal pixel pitch is the same 13a (a is a design rule) as an example 2.

[0061] Although the above examples 1-4 explained the image sensors formed on the insulating front face, even when it forms on a single-crystal-silicon substrate, it is clear that the effect of reduction of a pixel pitch can be acquired by adopting the planar structure of the element of this invention.

[0062] [Example 5] View 13 - view 15 is a plan explaining the production process of the image sensors of this example. Drawing 16 is a cross section of the image sensors of this example, drawing 16 (A) is a cross section by line

A-A' of drawings 13 -15, and the cross section of the channel of the selection transistor Ts and amplification transistor Ta is mainly illustrated. Drawing 16 (B) is a cross section by line B-B' of drawing 13 - view 15, and the cross section of the reset transistor Tr is illustrated.

[0063] In the examples 1-4, in order to high-density-ize a pixel, it is considered as the structure which carried out the laminating of photo diode PD (photoelectrical transducer) and the matrix circuit. However, it is difficult to avoid that write as a laminated structure and the lower electrode of photo diode laps a wiring of the signal line of a matrix circuit etc. If a lower electrode is formed so that it may not lap with a wiring of a matrix circuit, effective light-receiving area becomes small and is inconvenient.

[0064] If a lower electrode laps with a wiring of a matrix circuit, the potential of the lower electrode of photo diode will be changed by potential change of a wiring of a matrix circuit, and it will mix in the lightwave signal detected by the photoelectrical transducer as a noise. It becomes a serious failure of that this noise is also amplified with an amplification transistor, and the enhancement in sensor photographic sensitivity especially in the matrix circuit of an active method.

[0065] Since, as for the image sensors formed in a silicon substrate, a substrate is fixed to fixed potentials, such as grounding potential, the noise by potential change of a matrix circuit wiring does not become so larger than the case where a glass substrate and a quartz substrate are used. In the examples 1-4, as the selection line 101 by which potential is changed, the reset line 102, and the signal line 103 hardly existed in the opening between the adjoining lower electrodes, noise occurrence of the lower electrode 221 was reduced. In this example, it is related with the element structure which raised the prevention effect of noise occurrence of a lower electrode further.

[0066] In this example, a conductive layer is prepared between wirings and lower electrodes of a matrix circuit, and the configuration which fixes the potential of this conductive layer is adopted. Since a potential side -- this configuration was fixed between wirings and lower electrodes of a matrix circuit -- is formed, change of the potential of a wiring of a matrix circuit does not affect a lower electrode at all. Here, since a lower electrode is shielded by the potential side -- a conductive layer makes -- from a noise, this conductive layer is called screening electrode.

[0067] Furthermore, in this example, a screening electrode is fixed to power of operation, instead of the power line, power is supplied to amplification transistor Ta and the reset transistor Tr, and the number of wirings is lessened by the screening electrode.

[0068] The production process of the matrix circuit of this example is the same as an example 1 almost. The main differences with an example 1 are points which form a wiring of the 3rd layer of change of the pattern of the power line 104, a screening electrode, etc. The unit unit 400 consists of adjoining 2 pixels which has been arranged at the same line. The island-like field 502 which shows in drawing 13 first and becomes by the polycrystal silicon layer every unit unit 400 like is formed. What is necessary is just to make the pattern of the island-like field 502 the same as that of the island-like field 202 of an example 1.

[0069] Next, the wrap gate insulator layer 503 is formed in the island-like field 502, and the selection line 401 and the reset line 402 used as the 1st-layer wiring are formed on the gate insulator layer 303. Width of face of the selection line 401 and the reset line 402 is set to design-rule a. Moreover, the gate electrode 504 of the selection transistor Ts is formed in the selection line 401 in one, and the gate electrode 505 of the reset line 402 and the reset transistor Tr is formed in it in one. Furthermore, the gate electrode 506 of amplification transistor Ta is formed.

[0070] Next, the gate electrodes 504-506 are used as a mask, and Lynn which gives the conductivity of N type to the island-like field 502 is doped. After doping, while Lynn doped by heat-treatment or laser radiation is activated, the crystallinity of the island-like field damaged by doping is improved.

[0071] In this process, the fraction in which the mask was carried out by the gate electrodes 504-506 of the island-like field 502 is substantially made into genuineness, and selection transistor Tr, the reset transistor Ts, and the channel formation fields 507, 508, and 509 of amplification transistor Ta are formed, respectively: The field where the gate electrode 506 is overlapped in the barrier layer of the reset transistor Tr turns into the intrinsic field 510. On the other hand, the field as for which a mask is not carried out by the gate electrodes 504-506 of the island-like field 502 turns into the source / drain field of N type.

[0072] Next, an oxidization silicon layer with a thickness of 200-600nm is formed as 1st layer insulation layer 511, and the contact hole 407 adjusted to the source field of the contact hole 406 adjusted to the contact hole 405 adjusted to the drain field of the selection transistor Ts, the gate electrode 506 of amplification transistor Ta, and the drain field of the reset transistor Tr, amplification transistor Ta, and the reset transistor Tr is formed.

[0073] Patterning of the cascade screen which becomes by the titanium layer, the aluminum layer, and the titanium layer is formed and carried out, and as shown in drawing 13, the electrode 513 for the connection between the signal line 403 which is the 2nd-layer wiring, and the electrode 512 for the connection with a screening electrode and the lower electrode of photo diode is formed.

[0074] A signal line 403 is formed for every train, and is electrically connected to the drain field of the selection

transistor Ts in the contact hole 405. An electrode 512 is formed every unit unit 400, and is connected to the source field of two amplification transistor Ta in the corresponding unit unit 400, and the reset transistor Tr in the contact hole 407. An electrode 513 is formed for every pixel and is electrically connected to the gate electrode 506 of amplification transistor Ta, and the drain field of the reset transistor Tr in the contact hole 406. A signal line 403 sets the width of face to design-rule a except for the connection with TFT. The matrix circuit of image sensors is completed according to the above process. (The drawing 13 and drawing 16 )

[0075] this example -- an example 1 -- the same -- coming out -- in order to form six TFT arranged at the unit unit 400 which becomes by adjoining 2 pixels in one island-like field 502, the contact hole for connecting the source / drain field of TFT electrically is unnecessary. Therefore, the contact hole 407 and the electrode 512 for connecting to a screening electrode two amplification transistor Ta each arranged at this unit unit 400 and the reset transistor Tr (a total of i.e., four TFT) are good at one, and lead to reduction-ization of a pixel pitch.

[0076] The unit unit 400 of this example transforms the power line 104 of an example 1 into an electrode 512, is a request and can set a pixel pitch (horizontal, x vertical) to the same 11ax13a (a is a design rule) as an example 1.

[0077] Next, as shown in drawing 16 , the 2nd layer insulation layer 514 for separating a matrix circuit and a photoelectrical transducer (photo diode PD) between layers is formed all over substrate 501. The irregularity of a lower layer can be offset as 2nd layer insulation layer 514, and the application layer of oxidization silicon systems, such as resin layers, such as a polyimide, a polyamide, a polyimidoamide, and an acrylic, PSG, and oxidization silicon, with which a flat front face is obtained can be used. Moreover, the surface layer of the 2nd layer insulation layer 514 is used as a resin layer in order to obtain a flat front face, and a lower layer is good also as the monolayer of inorganic insulating materials, such as oxidization silicon, a silicon nitride, and an oxidization silicon nitride, and a multilayer. In this example, PSG layer is formed in thickness of 100-300nm as 2nd layer insulation layer 514.

[0078] Next, the contact holes 515 and 516 adjusted in electrodes 512 and 513 are formed in the 2nd layer insulation layer 514. And patterning of the chromium layer is formed and carried out in thickness of 50-150nm, and the electrode 518 connected to the screening electrode 517 connected to an electrode 512 and the electrode 513 is formed. An electrode 518 is formed for every pixel. A screening electrode 517 takes the structure of the common electrode formed in one to all pixels except for the fraction in which an electrode 518 is formed. Moreover, the screening electrode 517 is connected to power potential in the light-receiving field exterior. By this connection configuration, the source field of two amplification transistor Ta each arranged at the unit unit 400 and the reset transistor Tr is connected to power potential.

[0079] Next, as shown in drawing 16 , the 3rd layer insulation layer 519 for separating a matrix circuit and a photoelectrical transducer (photo diode PD) between layers is formed all over substrate 501. Flattening layers, such as an application layer of oxidization silicon systems, such as a resin layer, PSG, and oxidization silicon, as well as [ the 3rd layer insulation layer 519 ] the 2nd layer insulation layer 514 are desirable. In this example, PSG layer is formed in thickness of 100-300nm as 3rd layer insulation layer 519. And the contact hole 520 adjusted in an electrode 518 as shown in drawing 15 is formed.

[0080] Next, a titanium layer with a thickness [ which constitutes the lower electrode 521 of photo diode PD ] of 200nm, and the n type amorphous silicon layer containing Lynn the lower electrode 521 and for an ohmic junction which constitutes 222 [ n-layer ] are formed in thickness of 30nm. n layer 522 of the same flat-surface pattern as n type amorphous silicon layer and the lower electrode 521 which carried out titanium layer patterning, was electrically separated for every pixel as shown in drawing 15 , and was connected to the electrode 517, and the lower electrode 521 is formed.

[0081] Next, the p type amorphous silicon layer which formed the i type amorphous silicon layer to the 1-2-micrometer thickness, and contained i layers of p layers of boron as 524 continuously as 523 is formed in 30-100nm thickness. As a result, the n layer 522 or i layers layer [ photo-electric-translation ] which becomes by 524 523 or p layers is formed. The transparent electric conduction layers which constitute an up electrode on p layer 524, such as ITO or SnO<sub>2</sub>, are formed. Here, 120nm ITO layer is formed as an up electrode 525. The up electrode 525 is formed in all pixels in one in common. Photo diode PD is completed by the above. The up electrode 525 is connected to predetermined fixed potential in the light-receiving field exterior. For this reason, the lower electrode 521 is shielded by the potential side -- the up electrode 525 makes from an optical incidence side.

[0082] Furthermore, since the wirings 401-403 with which potential is changed are covered and the screening electrode 517 is formed between the lower electrode 521 of photo diode PD, and the matrix circuit as shown in drawing 15 , the effect that the lower electrode 521 can be covered from the noise generated from a matrix circuit can also be acquired.

[0083] In addition, it is possible to apply also to the image sensors which show the screening electrode 517 of this example to examples 2-4.

[0084] examples 1-5 -- setting -- image sensors -- the light -- receiving -- an insulating-substrates top, such as transparent glass and a quartz, -- forming -- moreover, a transistor -- TFT -- constituting -- a sake -- a LCD -- it is

possible for there to be process adjustment and to form on the same substrate Furthermore, since it formed on the insulating substrate and a manufacturing cost is cheaper than the image sensors formed on the conventional single-crystal-silicon substrate, it is enabled to offer these motion picture camera machines cheaply by including alone the image sensors indicated by examples 1-5 in a digital camera and motion picture camera machines, such as a camcorder/movie.

[0085]

[Effect of the Invention] This inventions are the image sensors of the active method using the TFT formed in an insulating front face, and the number of wirings is cut down by sharing a power line in two adjoining pixels. Furthermore, since the number of contact holes is cut down by constituting the barrier layer of the TFT arranged at these two pixels from one island-like semiconductor thin film, a pixel pitch is \*\*ed.

[0086] Furthermore, in this invention, while the equipotential surface is formed between the signal line of the lower electrode of a photoelectrical transducer, and a matrix circuit, a selection line, and a reset line and the lower electrode of the aforementioned photoelectrical transducer is shielded by the screening electrode fixed to power potential, an operating power is supplied to an amplification transistor and a reset transistor. According to this structure, while the lower electrode of a photoelectrical transducer can shield from the noise by potential change of a wiring of a matrix circuit, a power line becomes unnecessary and can cut down the number of wirings.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The representative circuit schematic of 2x2 pixels of the image sensors of an example 1.

[Drawing 2] The plan explaining the production process of the image sensors of an example 1.

[Drawing 3] The plan explaining the production process of the image sensors of an example 1.

[Drawing 4] The plan explaining the production process of the image sensors of an example 1.

[Drawing 5] The plan explaining the production process of the image sensors of an example 1.

[Drawing 6] The cross section of the image sensors of an example 1.

[Drawing 7] The representative circuit schematic for 2x2 pixels of the image sensors of an example 2.

[Drawing 8] The plan of the matrix circuit of an example 2.

[Drawing 9] The representative circuit schematic for 2x2 pixels of the image sensors of an example 3.

[Drawing 10] The plan of the matrix circuit of an example 3.

[Drawing 11] The representative circuit schematic for 2x2 pixels of the image sensors of an example 4.

[Drawing 12] The plan of the matrix circuit of an example 4.

[Drawing 13] The plan explaining the production process of the image sensors of an example 5.

[Drawing 14] The plan explaining the production process of the image sensors of an example 5.

[Drawing 15] The plan explaining the production process of the image sensors of an example 5.

[Drawing 16] The cross section of the image sensors of an example 5.

[Drawing 17] The representative circuit schematic of the image sensors of the active method of the conventional example.

[Description of Notations]

Ts Selection transistor

Ta Amplification transistor

Tr Reset transistor

101 401 Selection Line

102 402 Reset Line

103 403 Signal Line

104 Power Line

105 106 107 Contact Hole

201 Substrate

202 Island-like Field

204 404 Gate Electrode of Selection Transistor

205 405 Gate Electrode of Reset Transistor

206 406 Gate Electrode of Amplification Transistor

221 521 Lower Electrode

222 522 N Layers

223 523 I Layers

224 524 P Layers

225 525 Up Electrode

516 Screening Electrode

[Translation done.]

DIALOG(R) File 351:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

012527345 \*\*Image available\*\*

WPI Acc No: 1999-333451/199928

XRPX Acc No: N99-251081

MOS type active matrix circuit in image sensor - has reset transistor and amplification transistor of adjacent matrix circuits, which are electrically connected to common power supply line

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11121731	A	19990430	JP 97306516	A	19971020	199928 B

Priority Applications (No Type Date): JP 97306516 A 19971020

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11121731	A	14		H01L-027/146	

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11121731	A	14		H01L-027/146	

Abstract (Basic): JP 11121731 A

NOVELTY - The reset transistor (Tr) and the amplification transistor (Ta) of adjacent matrix circuits are electrically connected to a common power supply line (104). The selection transistors (Ts) of the adjacent matrix circuits are electrically connected to different signal line (103). DETAILED DESCRIPTION - The pixels consist of the photodiode (PD) and matrix circuit are formed on the insulated substrate. The photodiodes are laminated on the matrix circuit through the insulating layer. Each matrix circuit has a reset transistor (Tr), the amplification transistor (Ta) and the selection transistor (Ts).

USE - In image sensor.

ADVANTAGE - Reduces number of wirings by avoiding power supply line. Enables protection of lower electrode of photodiode from noise by potential variation of wiring of matrix circuit. Reduces pixel pitch by reducing number of contact holes in barrier layer.

DESCRIPTION OF DRAWING(S) - The figure shows equivalent circuit diagram of image sensor. (103) Signal line; (104) Power supply line; (PD) Photodiode; (Ta) Amplification transistor; (Tr) Reset transistor; (Ts) Selection transistor.

特開平11-121731

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.

H 01 L 27/146  
H 04 N 5/335

識別記号

F I

H 01 L 27/14  
H 04 N 5/335E  
E

審査請求 未請求 請求項の数7 FD (全14頁)

(21)出願番号 特願平9-306516

(22)出願日 平成9年(1997)10月20日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 坂倉 真之

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 佐藤 由里香

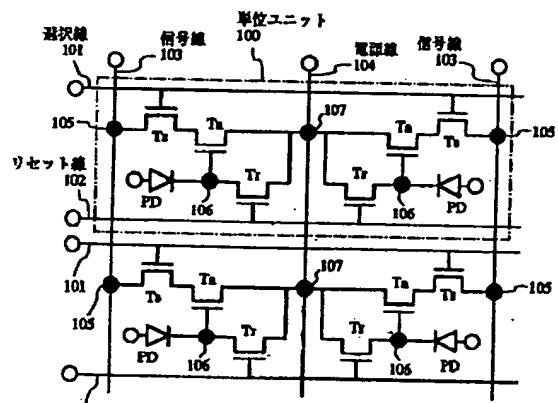
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】イメージセンサ

## (57)【要約】

【課題】ガラスや石英基板上に、アクティブ方式のイメージセンサを高密度に形成する。

【解決手段】マトリクス回路には、薄膜トランジスタでなる選択トランジスタTs、增幅トランジスタTa及びリセットトランジスタTrが形成される。フォトダイオードPDはマトリクス回路上に絶縁層を介して積層される。電源線104は隣接する2列で共有され、1画素当たりの配線数を削減する。単位ユニット100を内に形成される全てのトランジスタを1つの島状半導体薄膜に形成し、1画素当たりのコンタクトホール数を少なくする。



Ts:選択トランジスタ

Ta:増幅トランジスタ

Tr:リセットトランジスタ

PD:フォトダイオード(光電変換部)

105,106,107:コンタクトホール

## 【特許請求の範囲】

【請求項1】 絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されてなり、複数の画素を有するアクティブ方式のイメージセンサであって、前記マトリクス回路は、

信号線、電源線、リセット線及び選択線と、前記画素ごとに薄膜トランジスタでなるリセットトランジスタ、選択トランジスタ及び増幅トランジスタとを有し、

隣接する2画素において、前記リセットトランジスタ及び前記増幅トランジスタは共通の前記電源線に電気的に接続され、かつ前記選択トランジスタは異なる前記信号線に電気的に接続されていることを特徴とするイメージセンサ。

【請求項2】 絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されてなり、複数の画素を有するアクティブ方式のイメージセンサであって、前記マトリクス回路は、

信号線、電源線、リセット線及び選択線と、前記画素ごとに薄膜トランジスタでなるリセットトランジスタ、選択トランジスタ及び増幅トランジスタとを有し、

隣接する2画素において、前記リセットトランジスタ及び前記増幅トランジスタは共通の前記電源線に電気的に接続され、前記選択トランジスタは異なる前記信号線に電気的に接続され、

当該隣接する2画素に形成される前記リセットトランジスタ、選択トランジスタ及び増幅トランジスタの活性層は1つの島状半導体薄膜でなることを特徴とするイメージセンサ。

【請求項3】 絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されてなり、複数の画素を有するアクティブ方式のイメージセンサであって、前記マトリクス回路は、

信号線、選択線及びリセット線と、前記光電変換部の下部電極と前記信号線、選択線及びリセット線との間に形成され電源電位に固定されたシールド電極と、

前記画素ごとに、薄膜トランジスタでなる選択トランジスタ、増幅トランジスタ及びリセットトランジスタとを有し、

前記リセットトランジスタ及び前記増幅トランジスタは前記シールド電極に電気的に接続されていることを特徴とするイメージセンサ。

【請求項4】 絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されてなり、複数の画素を

有するアクティブ方式のイメージセンサであって、前記マトリクス回路は、

信号線、選択線及びリセット線と、前記光電変換部の下部電極と前記信号線、選択線及びリセット線との間に形成され電源電位に固定されたシールド電極と、

前記画素ごとに、薄膜トランジスタでなる選択トランジスタ、増幅トランジスタ及びリセットトランジスタとを有し、

10 前記リセットトランジスタ及び前記増幅トランジスタは前記シールド電極に電気的に接続され、隣接する2画素に形成された前記リセットトランジスタ、選択トランジスタ及び増幅トランジスタの活性層は1つの島状半導体薄膜でなることを特徴とするイメージセンサ。

【請求項5】 請求項3又は請求項4において、前記シールド電極は、前記複数の画素に共通な共通電極であることを特徴とするイメージセンサ。

20 【請求項6】 請求項1～5において、前記リセットトランジスタ、選択トランジスタ及び増幅トランジスタの活性層は多結晶シリコンで形成されていることを特徴とするイメージセンサ。

【請求項7】 請求項1～6において、前記光電変換部は非晶質シリコンを有することを特徴とするイメージセンサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は絶縁ゲイト型トランジスタを用いたアクティブ方式のイメージセンサに関するものである。また、本発明のイメージセンサはマトリクス回路と光電変換部が積層された積層構造のイメージセンサに関するものである。

## 【0002】

【従来の技術】従来、イメージセンサとして、単結晶シリコンを用いたCCD型やMOS型が実用化されているが、市場の多くはCCD型が占めている。近年、MOS型イメージセンサのマトリクス回路の構造に関して、増幅器を備えたアクティブ型（増幅型）が注目されている。アクティブ型では検出した光信号を増幅して読み出しているので、S/N比が大幅に改善され、CCDに匹敵する感度が実現されている。またMOS型は超LSI製造工程とプロセス整合性が良い、周辺駆動回路をワン・チップ化が可能である、单一電源を使用するためCCDより消費電力が低い等の長所を有するので、次世代のセンサとして期待されている。

【0003】図17に従来のアクティブ方式のMOS型イメージセンサの1画素の等価回路を示す。ここでは、アクティブ方式のうちのフォトダイオード型のイメージセンサを示す。1画素には、フォトダイオード10と、フォトダイオード10の下部電極の電位をリセットする

リセットトランジスタ11と、フォトダイオード10で検出された光信号を増幅するための増幅トランジスタ12と、信号を読み出す行を選択するための選択トランジスタ13とを有する。

【0004】フォトダイオード10の光入射側の上部電極は一定電位Vpに接続され、下部電極はリセットトランジスタ11のドレイン及び増幅トランジスタ12のゲートに接続されている。同じ行に配置されるリセットトランジスタ11のゲートは共通のリセット線21に接続され、同じ行に配置される選択トランジスタ13のゲートは共通の選択線22に接続され、同じ列に配置される選択トランジスタ13のドレインは共通の信号線23に接続されている。また、リセットトランジスタ11と増幅トランジスタ12のソースの電位はそれぞれ電源線24により電源電位に接続されている。

【0005】アクティブ方式のMOS型センサの欠点の1つに、1画素に配置されるトランジスタが複数個あるため、画素ピッチが大きくなることが挙げられるが、近年、超LSIの微細加工技術の進歩、成熟により、この欠点は解消されつつあり、高密度のアクティブ方式のMOS型センサが製造可能となっている。

【0006】例えば、図17に示した1画素に3つのトランジスタが配置されたマトリクス回路の場合、CMOS-VLSIの標準的な設計では、画素ピッチは $1.5 \times a$  ( $a$ はデザインルール) となり、 $a$ が $1\mu\text{m}$ では、画素ピッチが $1.5\mu\text{m}/\text{ピッチ}$ となり、 $0.5\mu\text{m}$ ルールでは $7.5\mu\text{m}/\text{ピッチ}$ となり、更に $0.35\mu\text{m}$ ルールでは $5\mu\text{m}/\text{ピッチ}$ となる。

【0007】近年、イメージセンサを用いたカメラはデジタルカメラ等のパソコンや携帯情報端末向けに需要が高まり、低価格化、小型化が要求されている。この要求を達成するには、光学系(レンズ)を縮小する必要がある。小型な1/3型光学系を使用するには、一般に、VGA ( $640 \times 480$ ) 規格では画素ピッチを $1.0\mu\text{m}$ とし、SVGA ( $800 \times 600$ ) 規格では画素ピッチを $0.5\mu\text{m}$ とすればよいといわれている。従って、1/3型光学系を用いるには、VGA規格のセンサでは $0.5\mu\text{m}$ デザインルールの標準工程を採用すればよく、SVGA規格では $0.35\mu\text{m}$ ルールの標準工程を採用すればよい。

【0008】他方、ガラス基板やガラス基板等の絶縁性基板上に薄膜トランジスタ(薄膜トランジスタ)を用いたイメージセンサが実用化されているが、薄膜トランジスタに非晶質シリコン薄膜が用いられているため移動度が低く、アクティブ方式の実用化は困難であるので、その多くは非増幅型のパッシブ方式である。また、用途はカメラではなく静止画像用の密着型センサである。

【0009】近年、液晶パネルの分野では、多結晶シリコンを用いた薄膜トランジスタの製造技術が積極的に開発されている。ガラス基板や石英基板上に、特性の均一

な、高移動度の多結晶シリコン薄膜トランジスタが作製可能となり、多結晶シリコン薄膜トランジスタを用いた液晶パネルが実用化されている。

【0010】従って、上述したアクティブ方式のセンサにおいて、単結晶シリコン基板上に作製されたMOSトランジスタを多結晶シリコン薄膜トランジスタに置き換えることで、ガラス基板や石英基板上に、カメラ用途のイメージセンサを形成することが実現可能である。

#### 【0011】

10 【発明が解決しようとする課題】多結晶シリコン薄膜トランジスタを用いたアクティブ方式を実現するには、薄膜トランジスタの特性を向上し、かつ均一化することが重要なポイントの1つであるが、デザインルールの制約があるため、画素ピッチを縮小することが解決すべき最優先の課題となる。

【0012】現状では、薄膜トランジスタを作製するためのデザインルールは、小型石英基板 ( $200\text{mm} \times 200\text{mm}$ ) では $1\mu\text{m}$ 程度であり、ガラス基板 ( $400\text{mm} \times 500\text{mm}$ ) では $2\sim 3\mu\text{m}$ 程度である。図17に示した1画素に3つのトランジスタが配置された回路

20 画素ピッチは、CMOS-VLSIの標準的な設計では、一般的に $1.5 \times a$ といわれている。この計算方法を薄膜トランジスタにも適用すると、画素ピッチは石英基板の $1\mu\text{m}$ ルールでは $1.5\mu\text{m}/\text{ピッチ}$ となり、ガラス基板の $2\mu\text{m}$ ルールでは $3.0\mu\text{m}/\text{ピッチ}$ となる。よって、有効受光領域の水平方向の寸法は、VGA規格とした場合には、 $1\mu\text{m}$ ルールでは $1.5\mu\text{m}/\text{ピッチ} \times 640 = 9.6\text{mm}$ となり、 $2\mu\text{m}$ ルールでは2倍の $19.2\text{mm}$ となる。

【0013】現在、安価に入手できるカメラ光学系の中で最大のものは、2/3型である。しかし2/3型光学系の水平方向の寸法は約 $8.7\text{mm}$ であるため、デザインルールの小さい石英基板を用いても、アクティブ方式のイメージセンサに2/3型光学系を採用することが不可能である。従って薄膜トランジスタでイメージセンサを製造しても光学系が大き、イメージセンサの価格が大幅に上昇してしまう。ガラス基板は大面積で、安価なため、従来の単結晶シリコンを用いたMOS型及びCCD型よりも、薄膜トランジスタ型センサの製造コストを低くすることが可能であるが、大型光学系を用いることにより、この長所が失われてしまう。

【0014】従って、多結晶シリコン薄膜トランジスタの特性や信頼性に問題が全く無くとも、デザインルールの制約のため、2/3型以下の光学系を使用することが困難である。本発明はこのような問題点を解消して、薄膜トランジスタを用いたアクティブ方式のイメージセンサにおいて、画素ピッチを縮小するための平面配置および、素子構造を提供することを目的とする。

#### 【0015】

50 【課題を解決するための手段】上述した課題を解決する

ための本発明のイメージセンサは、絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されたり、複数の画素を有するアクティブ方式のイメージセンサに関するものである。積層構造とすることによって、1画素当たりの占有面積を小さくする。

【0016】アクティブ方式のマトリクス回路は、信号線、電源線、リセット線及び選択線と、前記画素ごとに形成されたリセットトランジスタ、選択トランジスタ及び増幅トランジスタとを有する。本発明ではこれらトランジスタを薄膜トランジスタで形成することを特徴とする。

【0017】更に本発明のイメージセンサは、隣接する2つの前記画素において、前記リセットトランジスタ及び前記増幅トランジスタは共通の前記電源線に電気的に接続され、かつ前記選択トランジスタは異なる前記信号線に電気的に接続されていることを特徴とする。

【0018】即ち本発明は、2つの画素において電源線を共有することで、1画素当たりの配線数を削減して、画素ピッチの縮小化を図るものである。

【0019】更に、本発明では、画素ピッチを小さくするために、電源線を共有している隣接する2画素に形成されるリセットトランジスタ、選択トランジスタ及び増幅トランジスタ全てを1つの島状半導体薄膜に形成することを特徴とする。画素ピッチを増大する1つの要因にコンタクトホールが挙げられる。コンタクトホールを形成するにはマスクのアライメント等の製造マージンが必要となるためである。

【0020】本発明では、2画素に形成される薄膜トランジスタの活性層を1つの島状半導体薄膜で形成したので、各薄膜トランジスタを接続するためのコンタクトホールが不要になり、画素ピッチを小さくできる。更に、リセットトランジスタ及び増幅トランジスタを電源線に接続するためのコンタクトホールを2つの画素にて共通化できるという効果も得ることができる。

【0021】更に他の発明のイメージセンサは、前記マトリクス回路の信号線、選択線及びリセット線と、前記光電変換部の下部電極との間に、電源電位に固定されたシールド電極を形成し、前記リセットトランジスタ及び前記増幅トランジスタを前記シールド電極に電気的に接続することを特徴とする。

【0022】シリコン基板に形成されるイメージセンサでは、シリコン基板が一定電位に固定できるため、マトリクス回路の配線の電位変動が光電変換部の下部電極の電位に与える影響はあまり大きなものにならない。しかし、本発明では絶縁表面にイメージセンサを形成するため、マトリクス回路の電位変動による下部電極のノイズ発生は大きな問題となる。

【0023】そのため、本発明では電源電位に固定されたシールド電極によって、光電変換部の下部電極とマト

リクス回路の信号線、選択線及びリセット線の間に等電位面を形成し、前記光電変換部の下部電極をシールドする。更に電源線を形成する代わりにこのシールド電極によって、増幅トランジスタ及びリセットトランジスタに動作電力を供給することによって、配線数を削減する。

【0024】また、上記の構成において、隣接する2つの画素に形成された前記リセットトランジスタ、選択トランジスタ及び増幅トランジスタの活性層を1つの島状半導体薄膜で構成することによって、画素ピッチの縮小を図る。

【0025】

【実施例】 以下図1～図16を用いて、本発明の実施例を詳細に説明する。

【0026】【実施例1】 本実施例はアクティブ型のイメージセンサに関するものであり、マトリクス回路と光電変換部が積層構造をなす。マトリクス回路は従来例と同様に、1画素に3つのトランジスタを有する。本実施例ではこれらのトランジスタは絶縁表面に形成された薄膜トランジスタで形成されている。

【0027】図1は本実施例のイメージセンサの2×2画素の等価回路図である。本実施例では、破線で囲むように同一行において隣接する2画素が単位ユニット100となる。行ごとに選択線101及びリセット線102が配列され、列ごとに信号線103が配列されている。更に、電力を供給するための電源線104が信号線103に平行に、かつ2列ごとに配列されている。電源線104を隣接する2列で共有することで、1画素当たりの配線数が少くなり、画素ピッチを小さくすることができる。

【0028】各画素には、選択トランジスタTs、増幅トランジスタTa、リセットトランジスタTrがそれぞれ形成されている。同じ行に形成される選択トランジスタTsのゲートは共通の選択線101に接続され、同じ行に形成されるリセットトランジスタTrのゲートは共通のリセット線に接続されている。また、増幅トランジスタTaのゲートは画素ごとにフォトダイオードPDに接続されている。

【0029】図1において黒丸はコンタクトホール105～107を示している。コンタクトホール105～1

07は各トランジスタの活性層に形成されたソース/ドレイン領域を配線に接続するためのものである。同一列に配置される選択トランジスタTsのドレイン領域はコンタクトホール105を介して共通の信号線103に接続されている。各画素において、増幅トランジスタTaのゲート電極及びリセットトランジスタTrのソース領域は、共通のコンタクトホール106を介してフォトダイオード(光電変換部)PDの下部電極に接続されている。

【0030】また、単位ユニット100内の2つの増幅トランジスタTa及び2つのリセットトランジスタTrのソース領域は、1つのコンタクトホール107において電

源線104に接続されている。単位ユニット100を構成する2画素において、電源線104に接続される全ての薄膜トランジスタのコンタクトホール107が共通化されているため、1画素当たりのコンタクトホール数が削減され、画素ピッチの縮小化が図れる。

【0031】更に、本実施例では単位ユニット100を構成する隣接する2つの画素に形成される全てのトランジスタの活性層を1つの島状半導体薄膜に形成することによって、画素の占有面積の削減を図る。

【0032】本実施例のイメージセンサの動作方法は一般的なアクティブ方式のイメージセンサと同様であり、マトリクス回路では光電変化部で検出された光信号は増幅されて、読み出されている。1フレーム分の映像信号が検出されると、リセット線104からリセットパルス信号が入力されて、リセットトランジスタTrがオン状態となり、フォトダイオードPDの下部電極及び増幅トランジスタTaの電位が電源電位にリセットされる。リセットトランジスタTrが非選択時では、増幅トランジスタTaのゲート電極は浮遊状態とされる。フォトダイオードPDにおいて入射した光が電荷に変換され蓄積される。この電荷によりフォトダイオードPDの下部電極の電位が電源電位から微少に変化する。下部電極の電位の変動は増幅トランジスタTaにおいて、ゲート電極の電位変動として検出されて、ドレイン電流として増幅される。選択線101から選択パルス信号が入力されると、選択トランジスタTsはオン状態とされ、増幅トランジスタTaから出力されたドレイン電流が映像信号として信号線103に読み出される。

【0033】以下、図2～6を用いて、本実施例のイメージセンサの作製工程を説明する。図2～図5は本実施例のイメージセンサの作製工程を説明する平面図である。図6は本実施例のイメージセンサの概略の断面図であり、図6(A)は図2～図5の線A-A'による断面図示であり、選択トランジスタTs及び増幅トランジスタTaのチャネル長方向の断面が図示されている。図6(B)は図2～図5の線B-B'による断面構造が図示され、リセットトランジスタTrの断面構造が図示されている。

【0034】本実施例では、配線の幅や、配線と配線等の間隔や、コンタクトホールのサイズ等の値がデザインルールaに従って設計されている。絶縁表面を有する基板201として、石英、合成石英、無アルカリガラス、ホウケイ酸ガラス等の基板を用いることができる。更に、これら基板表面に絶縁性下地膜として酸化珪素膜や窒化珪素膜が形成された基板を用いることができる。基板201上には、図2に示すように単位ユニット100ごとに多結晶シリコンでなる島状領域202が形成される。島状領域202には単位ユニット100に形成される6つの薄膜トランジスタの活性層が形成される。

【0035】島状領域202を形成するには、先ずプラ

ズマCVD法によって非晶質シリコン膜を20～150nmの厚さに成膜し、エキシマレーザ光を照射して多結晶化する。非晶質シリコン膜の結晶化方法として、SPCと呼ばれる熱結晶化法、赤外線を照射するRTA法、熱結晶化とレーザアニールとを併用する方法等を用いることができる。そして、多結晶化されたシリコン膜をバーニングして、図2に示すように島状領域202を各単位ユニット100ごとに形成する。次に島状領域202にホウ素 $5 \times 10^{16} \sim 30 \times 10^{16}$ atoms/cm<sup>2</sup>の濃度でチャネルドープする。チャネルドープは島状領域202のバーニング前に行ってよい。

【0036】次に、図6に示すように、これら島状領域202を覆うゲート絶縁膜203を形成する。ゲート絶縁膜203はシラン(SiH<sub>4</sub>)とN<sub>2</sub>Oを原料ガスに用いて、プラズマCVD法で50～200nmの厚さに形成する。また基板201に耐熱性が良い石英基板を用いた場合には、ゲート絶縁膜203を厚さ50～150nmの熱酸化膜を形成することも可能である。

【0037】次に、図3に示すように、第1層目の配線となる信号線101、選択線102を構成するAl、Crや導電性ポリシリコン膜等の導電膜を成膜する。この導電膜をバーニングして選択線101、リセット線102及び増幅トランジスタTaのゲート電極206を形成する。

【0038】選択線101には選択トランジスタTsのゲート電極204が一体的に形成され、リセット線102とリセットトランジスタTrのゲート電極205が一体的に形成される。増幅トランジスタTaのゲート電極206が形成される。増幅トランジスタTaのゲート電極206はリセットトランジスタTrの活性層が形成される部分にオーバーラップして形成されている。これは、増幅トランジスタTaのゲート電極206及びリセットトランジスタTrのドレイン領域と、フォトダイオードの下部電極との接続を容易にするためである。選択線101及びリセット線102の幅はデザインルールaとする。

【0039】次に、ゲート電極204～206をマスクにして、島状領域202にN型の導電性を付与するリンをドーピングする。ドーピング後、加熱処理もしくはレーザ照射によりドーピングされたリンを活性化すると共に、ドーピングにより損傷された島状領域の結晶性を改善する。この工程において、島状領域202のゲート電極204～206によりマスクされた領域は実質的に真性の導電性が維持され、選択トランジスタTr、リセットトランジスタTs及び増幅トランジスタTaのチャネル形成領域207、208、209としてそれぞれ画定される。またリセットトランジスタTrの活性層で、増幅トランジスタTaのゲート電極206がオーバーラップしている領域210も真性の導電性が維持されている。他方、島状領域202のゲート電極204～206によりマスクされていない領域は、N型のソース/ドレイン領域と

なる。

【0040】次に、第1の層間絶縁膜211として厚さ200~600nmの酸化珪素膜を形成する。そして、ゲート絶縁膜203及び第1の層間絶縁膜211に、選択トランジスタTsのドレイン領域に整合するコンタクトホール105、増幅トランジスタTaのゲート電極206及びリセットトランジスタTrのゲート電極207に、選択トランジスタTsのドレイン領域に整合するコンタクトホール106、増幅トランジスタTa及びリセットトランジスタTrのソース領域に整合するコンタクトホール107を形成する。

【0041】100nmのチタン膜、300nmのアルミニウム膜、100nmのチタン膜でなる積層膜を形成しバーニングして、図4に示すように、信号線103、電源線104及び、フォトダイオードPDの下部電極との接続用の電極212を形成する。信号線103はコンタクトホール105を介して選択トランジスタTsのドレイン領域に接続される。電源線104はコンタクトホール107を介して、単位ユニット100に配置される全ての増幅トランジスタTa及びリセットトランジスタTrのソース領域に接続される。電極212はコンタクトホール106を介して、増幅トランジスタTaのゲート電極206及びリセットトランジスタTrのドレイン領域に接続される。信号線103及び電源線104の幅は、薄膜トランジスタとの接続部を除いてデザインルールaとする。以上の工程によってマトリクス回路が完成する。

(図4、6)

【0042】本実施例では、隣接する2画素でなる単位ユニット100に配置される6つの薄膜トランジスタ全て1つの島状領域202に形成するため、異なる薄膜トランジスタのソース/ドレイン領域を電気的に接続するためのコンタクトホールが不要である。よって、この単位ユニットに配置される各2つの増幅トランジスタTa、リセットトランジスタTr、計4つの薄膜トランジスタを電源線104に接続するためのコンタクトホール107が1つでよく、水平方向の画素ピッチが縮小される。

【0043】次に図6に示すように、マトリクス回路と光電変換部(フォトダイオードPD)を層間分離するための第2の層間絶縁膜213を基板201全面に形成する。第2の層間絶縁膜213としては、下層の凹凸を相殺して、平坦な表面が得られる平坦化膜が好ましく、例えばポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂膜や、酸化珪素やPSG等の酸化珪素系塗布膜を用いることができる。また、第2の層間絶縁膜213の表面層は平坦化膜とし、下層は酸化珪素、窒化珪素、酸化窒化珪素等の無機絶縁材料の単層、多層としても良い。本実施例では、第2の層間絶縁膜213としてポリイミド膜を1.5μmの厚さに形成する。

【0044】次に、第2の層間絶縁膜213に電極212を整合するコンタクトホール214を形成する。次に、PIN接合を有するシリコン層を有するフォトダイ

オードPDを形成する。先ずフォトダイオードPDの下部電極221を構成するTi、Cr、Mo等の金属膜を形成する。本実施例では導電膜として厚さ200nmのチタン膜をスッパ法で成膜する。次に下部電極221とオーミック接合するリンを含んだn型の非晶質シリコン膜を30~50nmの厚さに、ここでは30nmの厚さに成膜する。n型非晶質シリコン膜及びチタン膜バーニングして、図5に示すように画素ごとに電気的に分離され、電極212に接続された下部電極221、下部電極221と同一パターンのn層222を形成する。

【0045】次に、i型の水素化非晶質シリコン膜を1~2μm、ここでは1.5μmの膜厚に成膜する。連続して、ホウ素を含んだp型の非晶質シリコン膜を30~100nmの厚さに、ここでは50nmの厚さに成膜する。この結果n層222、i層223、p層224でなる光電変換層が形成される。p層224上に上部電極を構成するITOもしくはSnO<sub>2</sub>等の透明導電膜を成膜する。ここでは120nmのITO膜を上部電極225として形成する。上部電極225は全ての画素に共通に一体的に形成される。以上によりフォトダイオードPDが完成する。

【0046】フォトダイオードPDのi層223にはi型の非晶質シリコンゲルマニュームを用いることができる。また、n層222、p層224は非晶質シリコンの代わりに微結晶シリコンを用いることができる。更にn層222やp層224の材料として、リンやボロンを添加したn型もしくはp型の窒化珪素、酸化珪素、炭化珪素を用いることができる。また、オーミック接合用のn層222の代わりにバッファ層として機能する酸化珪素膜、窒化珪素膜を10nm程度の厚さに成膜しても良い。また、光電変換層をPIN接合を有するシリコンで形成する代わりに、i型の水素化非晶質シリコンもしくは晶質シリコンゲルマニュームのみで形成し、ショットキー接合型のフォトダイオードPDを形成することもできる。

【0047】本実施例では、図5に示すように、隣接するフォトダイオードPDの下部電極221の隙間には、単位ユニット100内では電源電位に固定された電源線104のみが存在する。他の単位ユニット100間では、下部電極221の四隅にデザインルールaの幅だけ選択線101、リセット線102及び信号線103が存在している。従って、隣接する下部電極221と下部電極221との隙間には、電位が変動する配線101~103が殆ど存在しないため、これらの配線101~103の電位変動によって発生する下部電極221の電位変動を抑制できる。

【0048】他方、光入射側では、上部電極225は全画素に共通な共通電極の構造を有し、受光領域外部にて所定の固定電位に接続されている。よって下部電極221の光入射側は上部電極225が作る等電位面にシール

ドされている。

【0049】本実施例では、画素ピッチ（水平×垂直）は  $11\text{a} \times 13\text{a}$  ( $\text{a}$  はデザインルール) となる。一般にイメージセンサの画素規格では、画素数の水平: 垂直比は 4:3 である。よって画素ピッチの水平: 垂直比は 3:4 が理想的である。よって光学系を小型化する上で画素ピッチの大きさの律則は水平方向の画素ピッチとなり、垂直方向のピッチは水平方向のピッチを 3 とした場合に 4 を越えないように設計される。

【0050】従来例で述べたように、CMOS-VLS 10 I の標準的な設計では画素ピッチは  $15\text{a}$  であるが、本実施例では、特に水平方向の画素ピッチが縮小化され、 $11\text{a}$  とすることが可能である。例えば、デザインルール  $\text{a}$  を  $1\mu\text{m}$  とし、画素規格を VGA ( $640 \times 480$ ) とした場合には、有効受光領域の水平方向の長さは、 $11 \times 1\mu\text{m} \times 640 = 7.04\text{mm}$  となり、2/3 インチの光学系を使用することが可能になる。

【0051】[実施例2] 本実施例は、実施例1のマトリクス回路の変形例である。図7は本実施例のイメージセンサの  $2 \times 2$  画素の等価回路図である。図8は本実施例のマトリクス回路の模式的な平面図である。実施例 1 と異なる点は、選択トランジスタ  $\text{Ts}$  を 2 つのゲート電極を有する、いわゆるマルチゲート構造した点である。図7、図8において図1、図4と同じ符号は同じ構成要素を示す。

【0052】図8に示すように、選択線 101 には選択トランジスタ  $\text{Ts}$  の 2 つのゲート電極 301、302 が一体的に形成されている。また実施例 1 と同様に単位ユニット 300 に形成される全ての薄膜トランジスタの活性層は 1 つの島状領域 303 に形成されている。光電変換部（フォトダイオード PD）は実施例 1 と同様に形成すれば良く、図8において太線で示す矩形の領域 304 が下部電極の平面パターンを示す。

【0053】本実施例では、選択トランジスタ  $\text{Ts}$  は 2 つのトランジスタが直列に接続された構造とすることで、非選択時の選択トランジスタ  $\text{Ts}$  のリーク電流の低減を図っている。非選択時に選択トランジスタ  $\text{Ts}$  から電流がリークすると、信号線から出力される信号電流が減少してしまう。また、このリーク電流は他の画素から出力された信号電流に対してノイズとなる。本実施例では、選択トランジスタ  $\text{Ts}$  をマルチゲート型とすることによって、これら 2 つの問題点を解消する。

【0054】本実施例では、選択線 101 には選択トランジスタ  $\text{Ts}$  の 2 つのゲート電極 301、302 を形成するため、水平方向の画素ピッチが  $13\text{a}$  ( $\text{a}$  はデザインルール) となり実施例 1 よりも大きくなってしまうが、隣接する 2 つの列において電源線 104 が共有されているため、従来の画素ピッチ  $15\text{a}$  よりも縮小化されている。

【0055】[実施例3] 本実施例は、実施例1のマ

トリクス回路の変形例である。図9は本実施例のイメージセンサの  $2 \times 2$  画素の等価回路図である。図10は本実施例のマトリクス回路の模式的な平面図である。実施例 1 と異なる点は、リセットトランジスタ  $\text{Tr}$  を 2 つのゲート電極を有するいわゆるマルチゲート構造した点である。図9、図10において図1、図4と同じ符号は同じ構成要素を示す。光電変換部（フォトダイオード PD）は実施例 1 と同様に形成すれば良く、図10において太線で示す矩形の領域 314 が下部電極が形成される領域を示す。

【0056】図10に示すように、選択線 102 にはリセットトランジスタ  $\text{Tr}$  の 2 つのゲート電極 311、312 が一体的に形成される。また実施例 1 と同様に単位ユニット 310 に形成される全ての薄膜トランジスタを構成する活性層は 1 つの島状領域 313 に形成されている。また本実施例では、水平方向の画素ピッチが  $12\text{a}$  ( $\text{a}$  はデザインルール) となり、実施例 1 よりも大きくなってしまうが、隣接する 2 つの列において電源線 104 が共有されているため、従来例の画素ピッチ  $15\text{a}$  よりも縮小することができる。

【0057】本実施例では、リセットトランジスタ  $\text{Tr}$  は 2 つのトランジスタが直列に接続された構造とすることで、非選択時のリセットトランジスタ  $\text{Tr}$  のリーク電流が低減を図っている。非選択時にリセットトランジスタ  $\text{Tr}$  から電流がリークすると、この時には浮遊状態とされている増幅トランジスタ  $\text{Ta}$  のゲート電極 206 の電位が上昇してしまう。増幅トランジスタ  $\text{Ta}$  で増幅される電流の大きさはそのゲート電極の電位の減少幅に対応している。そのためゲート電極の電位が上昇してしまうと、増幅トランジスタ  $\text{Ta}$  から出力されるドレイン電流は減少してしまい。その画素から読み出される信号電流が小さくなってしまう。この結果、解像度の低下や映像の明るさムラが生じてしまう。本実施例では、リセットトランジスタ  $\text{Tr}$  をマルチゲート型とすることによってリーク電流を低減し、この問題を解消することができる。

【0058】[実施例4] 本実施例は、実施例1のマトリクス回路の変形例である。図11は本実施例のイメージセンサの  $2 \times 2$  画素の等価回路図である。図12は本実施例のマトリクス回路の模式的な平面図である。実施例 1 と異なる点は、選択トランジスタ  $\text{Ts}$  及びリセットトランジスタ  $\text{Tr}$  を 2 つのゲート電極を有するいわゆるマルチゲート構造した点である。図11、図12において図1、図4と同じ符号は同じ構成要素を示す。

【0059】選択線 101 には選択トランジスタ  $\text{Ts}$  の 2 つのゲート電極 321、322 が一体的に形成され、リセット線 102 にはリセットトランジスタ  $\text{Tr}$  の 2 つのゲート電極 323、324 が一体的に形成される。また、単位ユニット 320 に配置される 6 つの薄膜トランジスタの活性層は 1 つの島状領域 325 で構成されている。光電変換部（フォトダイオード PD）は実施例 1 と同様に

形成すれば良く、図12において太線で示す矩形の領域326は下部電極の平面パターンを示す。

【0060】本実施例では、選択トランジスタTs及びリセットトランジスタTrをダブルゲイト構造とすることによって、実施例2及び実施例3で示した、選択トランジスタTs及びリセットトランジスタTrのリーク電流に起因する問題点を同時に解消することができる。なお、本実施例では水平方向の画素ピッチは実施例2と同じ13a(aはデザインルール)である。

【0061】以上の実施例1～4では絶縁表面上に形成されたイメージセンサについて説明したが、単結晶シリコン基板上に形成した場合でも本発明の素子の平面構造を採用することによって、画素ピッチの縮小という効果を得ることはできるのは明らかである。

【0062】【実施例5】図13～図15は本実施例のイメージセンサの作製工程を説明する平面図である。図16は本実施例のイメージセンサの断面図であり、図16(A)は図13～15の線A-A'による断面図であり、主に選択トランジスタTs及び増幅トランジスタTaのチャネルの断面が図示されている。図16(B)は図13～図15の線B-B'による断面図であり、リセットトランジスタTrの断面が図示されている。

【0063】実施例1～4では画素を高密度化するために、フォトダイオードPD(光電変換部)とマトリクス回路を積層した構造とした。しかしながら積層構造としたため、フォトダイオードの下部電極がマトリクス回路の信号線等の配線を重なることを回避することは困難である。マトリクス回路の配線と重ならないように下部電極を形成すると、有効受光面積が小さくなってしまい不都合である。

【0064】下部電極がマトリクス回路の配線と重なると、マトリクス回路の配線の電位変動によってフォトダイオードの下部電極の電位が変動し、光電変換部で検出された光信号に雑音として混入してしまう。特にアクティブ方式のマトリクス回路では、増幅トランジスタによってこの雑音をも増幅されるの、センサ感度向上の大きな障害となる。

【0065】シリコン基板に形成されるイメージセンサは、基板が接地電位等の一定電位に固定されるため、マトリクス回路配線の電位変動によるノイズは、ガラス基板や石英基板を用いた場合よりもそれほど大きくはならない。実施例1～4では隣接する下部電極の隙間には電位が変動する選択線101、リセット線102及び信号線103が殆ど存在しないようにして、下部電極221のノイズ発生を低減するようにした。本実施例では下部電極のノイズ発生の防止効果をさらに高めた素子構造に関するものである。

【0066】本実施例では、マトリクス回路の配線と下部電極の間に導電性層を設けて、この導電性層の電位を固定する構成を採用する。この構成によりマトリクス回

路の配線と下部電極との間には固定された等電位面が形成されるため、マトリクス回路の配線の電位の変動は下部電極に全く影響を与えない。ここでは、導電性層が作る等電位面によって下部電極がノイズからシールドされるため、この導電性層をシールド電極と呼ぶ。

【0067】更に本実施例では、シールド電極を動作電源に固定して、電源線の代わりにシールド電極によって増幅トランジスタTa及びリセットトランジスタTrに電力を供給して、配線数を少なくしている。

【0068】本実施例のマトリクス回路の作製工程は実施例1とはほぼ同様である。実施例1との主な相違点は電源線104のパターンの変更及び、シールド電極等の第3層目の配線を形成する点である。単位ユニット400は同一行に配置された隣接する2画素で構成される。先ず図13に示すように、単位ユニット400ごとに多結晶シリコン膜でなる島状領域502が形成される。島状領域502のパターンは実施例1の島状領域202と同じにすればよい。

【0069】次に島状領域502を覆うゲート絶縁膜503が形成され、ゲート絶縁膜503上には第1層目の配線となる選択線401、リセット線402が形成される。選択線401及びリセット線402の幅はデザインルールaとする。また選択線401には選択トランジスタTsのゲート電極504が一体的に形成され、リセット線402とリセットトランジスタTrのゲート電極505が一体的に形成される。更に、増幅トランジスタTaのゲート電極506が形成される。

【0070】次に、ゲート電極504～506をマスクにして、島状領域502にN型の導電性を付与するリンをドーピングする。ドーピング後、加熱処理もしくはレーザ照射によりドーピングされたリンを活性化すると共に、ドーピングにより損傷された島状領域の結晶性を改善する。

【0071】この工程において、島状領域502のゲート電極504～506によりマスクされた部分は実質的に真性とされ選択トランジスタTr、リセットトランジスタTs及び増幅トランジスタTaのチャネル形成領域507、508、509がそれぞれ形成される。リセットトランジスタTrの活性層においてゲート電極506がオーバーラップされている領域は真性の領域510となる。他方、島状領域502のゲート電極504～506によりマスクされていない領域はN型のソース/ドレイン領域となる。

【0072】次に、第1の層間絶縁膜511として厚さ200～600nmの酸化珪素膜を形成し、選択トランジスタTsのドレイン領域に整合するコンタクトホール405、増幅トランジスタTaのゲート電極506及びリセットトランジスタTrのドレイン領域に整合するコンタクトホール406、増幅トランジスタTa及びリセットトランジスタTrのソース領域に整合するコンタクトホール4

07が形成される。

【0073】チタン膜、アルミニウム膜、チタン膜でなる積層膜を形成しバーニングして、図13に示すように、第2層目の配線である信号線403と、シールド電極との接続用の電極512及びフォトダイオードの下部電極との接続用の電極513が形成される。

【0074】信号線403は列ごとに形成され、選択トランジスタTsのドレイン領域にコンタクトホール405において電気的に接続されている。電極512は単位ユニット400ごとに形成され、該当する単位ユニット400内の2つの増幅トランジスタTa及びリセットトランジスタTrのソース領域にコンタクトホール407において接続されている。電極513は画素ごとに形成され、増幅トランジスタTaのゲート電極506及びリセットトランジスタTrのドレイン領域にコンタクトホール406において電気的に接続されている。信号線403は薄膜トランジスタとの接続部を除いてその幅はデザインルールaとする。以上の工程により、イメージセンサのマトリクス回路が完成する。(図13及び図16)

【0075】本実施例も実施例1と同様にでは、隣接する2画素でなる単位ユニット400に配置される6つの薄膜トランジスタを1つの島状領域502に形成するため、薄膜トランジスタのソース／ドレイン領域を電気的に接続するためのコンタクトホールが不要である。よって、この単位ユニット400に配置される各2つの増幅トランジスタTa、リセットトランジスタTr、即ち計4つの薄膜トランジスタをシールド電極に接続するためのコンタクトホール407及び電極512が1つでよく、画素ピッチの縮小化につながる。

【0076】本実施例の単位ユニット400は実施例1の電源線104を電極512に変形したのみであり、画素ピッチ(水平×垂直)は実施例1と同じ11a×13a(aはデザインルール)にすることができる。

【0077】次に図16に示すように、マトリクス回路と光電変換部(フォトダイオードPD)を層間分離するための第2の層間絶縁膜514を基板501全面に形成する。第2の層間絶縁膜514としては、下層の凹凸を相殺して、平坦な表面が得られるポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂膜や、PSGや酸化珪素等の酸化珪素系の塗布膜を用いることができる。また、第2の層間絶縁膜514の表面層は平坦な表面を得るために樹脂膜とし、下層は酸化珪素、窒化珪素、酸化窒化珪素等の無機絶縁材料の単層、多層としても良い。本実施例では、第2の層間絶縁膜514としてPSG膜を100～300nmの厚さに形成する。

【0078】次に、第2の層間絶縁膜514に電極512、513に整合するコンタクトホール515、516を形成する。そしてクロム膜を50～150nmの厚さに成膜しバーニングして、電極512に接続されるシールド電極517及び電極513に接続される電極51

8を形成する。電極518は画素ごとに形成される。シールド電極517は、電極518が形成される部分を除いて、全ての画素に対して一体的に形成された共通電極の構造をとる。またシールド電極517は受光領域外部で電源電位に接続されている。この接続構成によって、単位ユニット400に配置された各2つの増幅トランジスタTa及びリセットトランジスタTrのソース領域が電源電位に接続される。

【0079】次に図16に示すように、マトリクス回路と光電変換部(フォトダイオードPD)を層間分離するための第3の層間絶縁膜519を基板501全面に形成する。第3の層間絶縁膜519も第2の層間絶縁膜514と同様に樹脂膜や、PSGや酸化珪素等の酸化珪素系の塗布膜等の平坦化膜が好ましい。本実施例では、第3の層間絶縁膜519としてPSG膜を100～300nmの厚さに形成する。そして、図15に示すように電極518に整合するコンタクトホール520を形成する。

【0080】次に、フォトダイオードPDの下部電極521を構成する厚さ200nmのチタン膜と、下部電極521とオーミック接合用のn層522を構成するリンを含んだn型の非晶質シリコン膜を30nmの厚さに成膜する。n型非晶質シリコン膜及びチタン膜バーニングして、図15に示すように画素ごとに電気的に分離され、電極517に接続された下部電極521、下部電極521と同じ平面パターンのn層522を形成する。

【0081】次に、i層523としてi型の非晶質シリコン膜を1～2μmの膜厚に成膜し、連続して、p層524としてホウ素を含んだp型の非晶質シリコン膜を30～100nmの厚さ成膜する。この結果n層522、i層523、p層524でなる光電変換層が形成される。p層524上に上部電極を構成するITOもしくは、SnO<sub>2</sub>等の透明導電膜を成膜する。ここでは120nmのITO膜を上部電極525として形成する。上部電極525は全ての画素に共通に一体的に形成される。以上によりフォトダイオードPDが完成する。上部電極525は受光領域外部にて所定の固定電位に接続されている。このため、下部電極521は光入射側では上部電極525が作る等電位面にシールドされる。

【0082】更に、図15に示すように、フォトダイオードPDの下部電極521とマトリクス回路の間には、電位が変動する配線401～403を覆ってシールド電極517が形成されているため、下部電極521をマトリクス回路から発生するノイズから遮蔽できるという効果も得ることができる。

【0083】なお、本実施例のシールド電極517を実施例2～4に示すイメージセンサにも適用することが可能である。

【0084】実施例1～5において、イメージセンサを可視光に対して透明なガラスや石英等の絶縁基板上に形成し、またトランジスタを薄膜トランジスタで構成した

め、液晶表示装置とのプロセス整合性があり、同一基板上に形成することが可能である。更に、絶縁基板上に形成したため、従来の単結晶シリコン基板上に形成したイメージセンサよりも製造コストが安いので、実施例1～5に記載されたイメージセンサを単体でデジタルカメラや、カメラ一体型VTR等の撮影機器に組み込むことで、安価にこれらの撮影機器を提供することが可能になる。

#### 【0085】

【発明の効果】本発明は絶縁表面に形成される薄膜トランジスタを用いたアクティブ方式のイメージセンサであって、隣接する2つの画素において電源線を共有することで配線数が削減される。更に、この2つの画素に配置される薄膜トランジスタの活性層を1つの島状半導体薄膜で構成することによって、コンタクトホール数が削減されるので、画素ピッチが縮される。

【0086】更に本発明では電源電位に固定されたシールド電極によって、光電変換部の下部電極とマトリクス回路の信号線、選択線及びリセット線の間に等電位面を形成し、前記光電変換部の下部電極をシールドすると共に、増幅トランジスタ及びリセットトランジスタに動作電力を供給する。この構造によって、光電変換部の下部電極がマトリクス回路の配線の電位変動によるノイズからシールドできると共に、電源線が不要となり、配線数を削減できる。

#### 【図面の簡単な説明】

【図1】実施例1のイメージセンサの2×2画素の等価回路図。

【図2】実施例1のイメージセンサの作製工程を説明する平面図。

【図3】実施例1のイメージセンサの作製工程を説明する平面図。

【図4】実施例1のイメージセンサの作製工程を説明する平面図。

【図5】実施例1のイメージセンサの作製工程を説明する平面図。

【図6】実施例1のイメージセンサの断面図。

【図7】実施例2のイメージセンサの2×2画素分の等

価回路図。

【図8】実施例2のマトリクス回路の平面図。

【図9】実施例3のイメージセンサの2×2画素分の等価回路図。

【図10】実施例3のマトリクス回路の平面図。

【図11】実施例4のイメージセンサの2×2画素分の等価回路図。

【図12】実施例4のマトリクス回路の平面図。

【図13】実施例5のイメージセンサの作製工程を説明する平面図。

【図14】実施例5のイメージセンサの作製工程を説明する平面図。

【図15】実施例5のイメージセンサの作製工程を説明する平面図。

【図16】実施例5のイメージセンサの断面図。

【図17】従来例のアクティブ方式のイメージセンサの等価回路図。

#### 【符号の説明】

Ts 選択トランジスタ

Ta 増幅トランジスタ

Tr リセットトランジスタ

101 401 選択線

102 402 リセット線

103 403 信号線

104 電源線

105 106 107 コンタクトホール

201 基板

202 島状領域

204 404 選択トランジスタのゲート電極

30 205 405 リセットトランジスタのゲート電極

206 406 増幅トランジスタのゲート電極

221 521 下部電極

222 522 n層

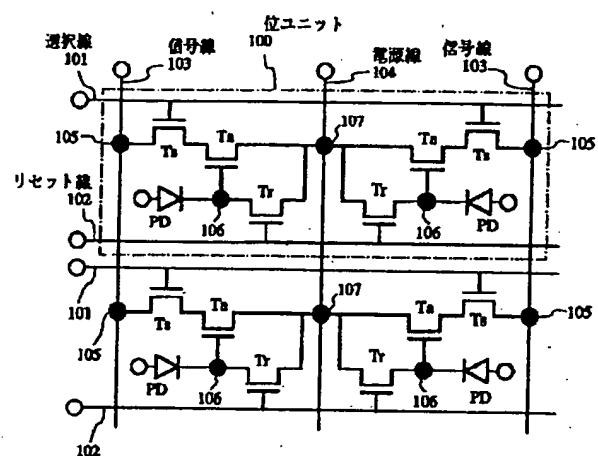
223 523 i層

224 524 p層

225 525 上部電極

516 シールド電極

【図1】



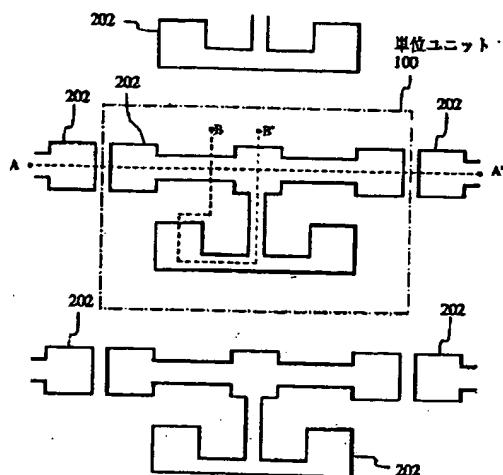
Tr: 選択トランジスタ

Tr: 増幅トランジスタ

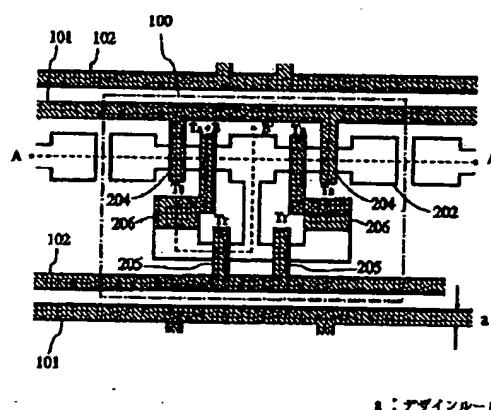
Tr<sub>R</sub>: リセットトランジスタ

PD: フォトダイオード (光電変換部)

【図2】

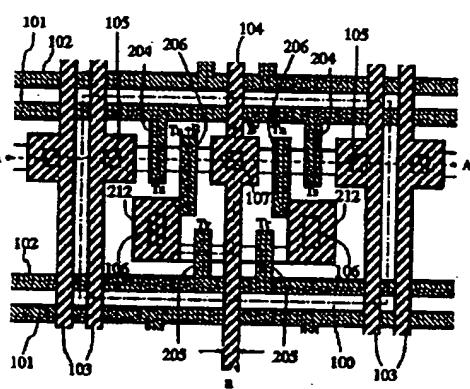


【図3】



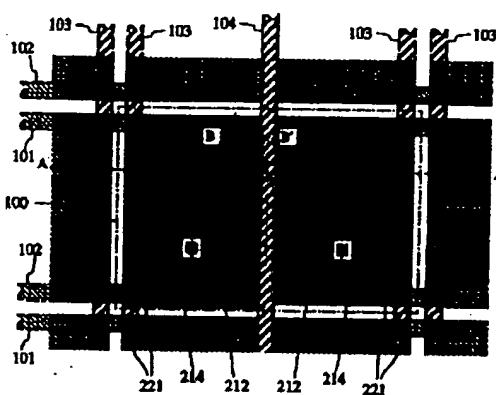
a : デザインルール

【図4】

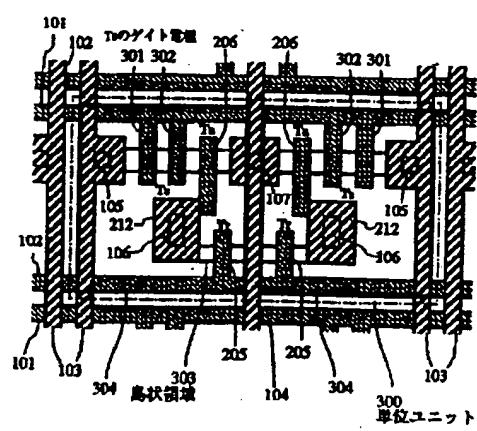


a : デザインルール

【図5】

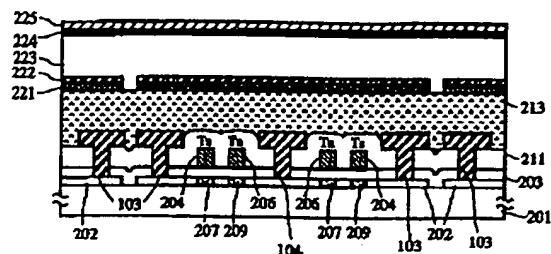


【図8】

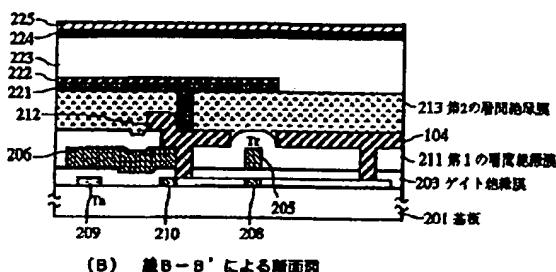


単位ユニット

【図6】



(A) 断面図

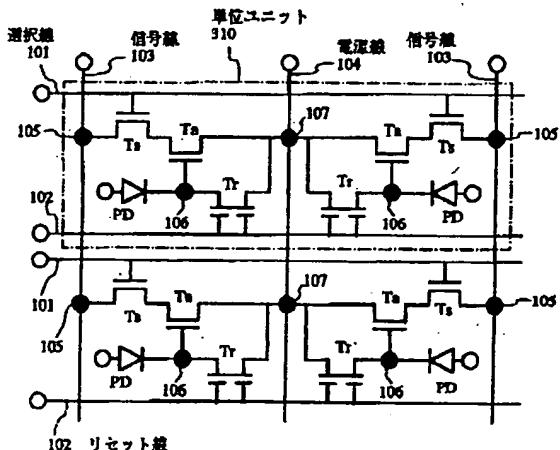


(B) 線B-B'による断面図

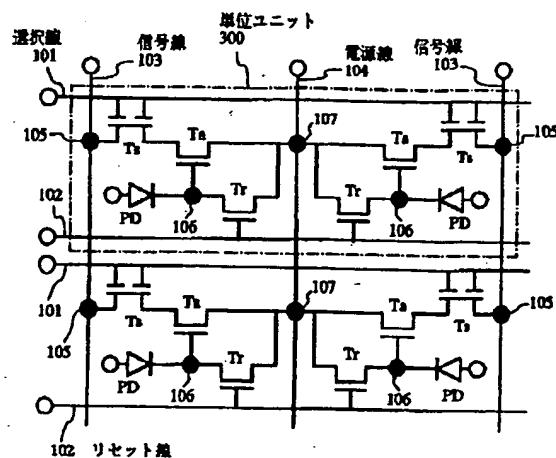
【トリクス回路】	101: 道端録 102: フル録 103: 信号録 104: 電源録
Ta:	選択トランジスタ 204: ゲイト電圧 207: チャネル形成領域
Tb:	リセットトランジスタ 205: ゲート電圧 208: チャネル形成領域
Tc:	電荷トランジスタ 206: ゲート電圧 209: チャネル形成領域

【フォトダイオード(光電変換部)】

【図9】



〔四七〕



【图10】

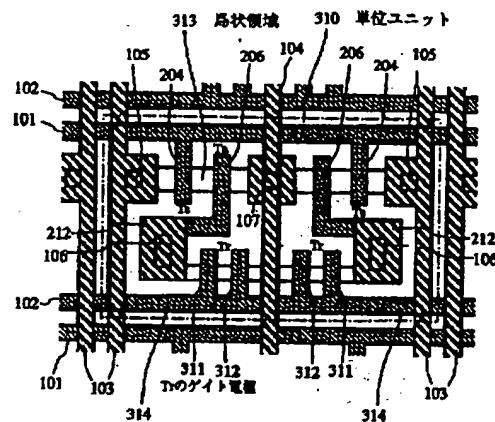
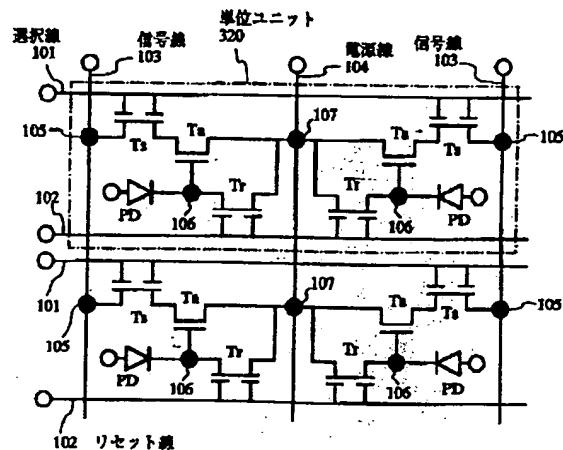
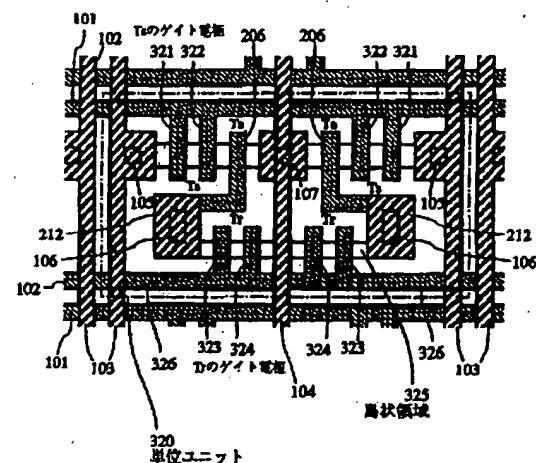


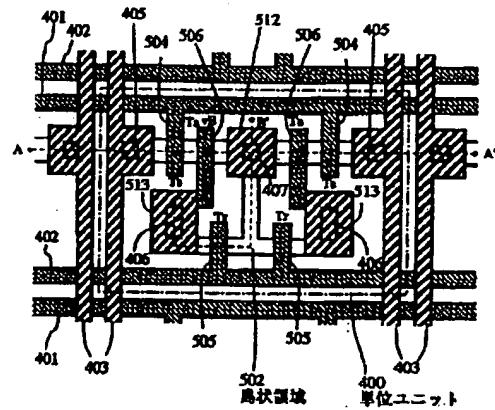
图 11



【図12】



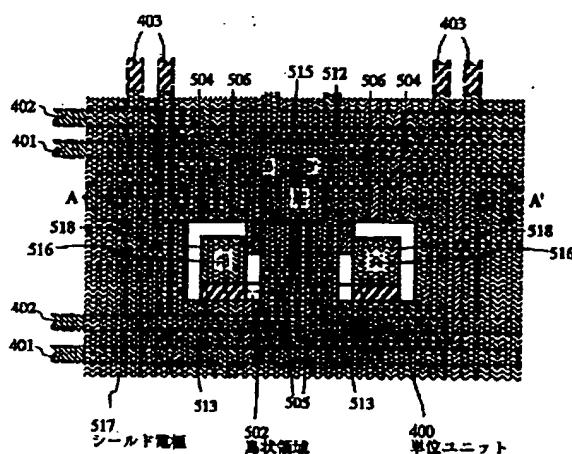
【図13】



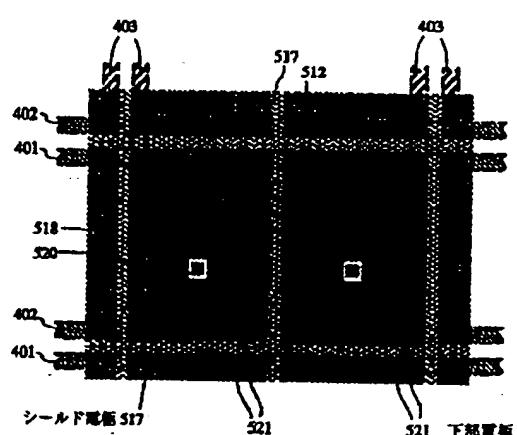
【マトリクス回路】

401: 電気絶縁層 402: 9ビット線 403: 信号線  
 405, 406, 407: コンタクトホール  
 512: シールド電極との接続用電極  
 513: カーブホールの下部電極との接続用電極  
 Td: 過渡トランジスタ 304: ゲート電極 507: チャネル形成領域  
 Tr: 9ビットトランジスタ 305: ゲート電極 508: チャネル形成領域  
 Ts: 増幅トランジスタ 306: ゲート電極 509: チャネル形成領域

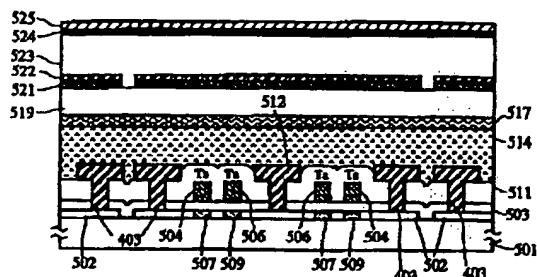
【図14】



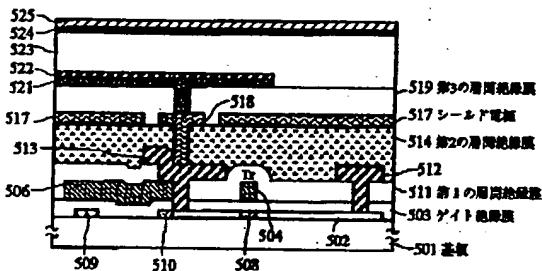
【図15】



〔図16〕



(A) 断面A-A'による断面図

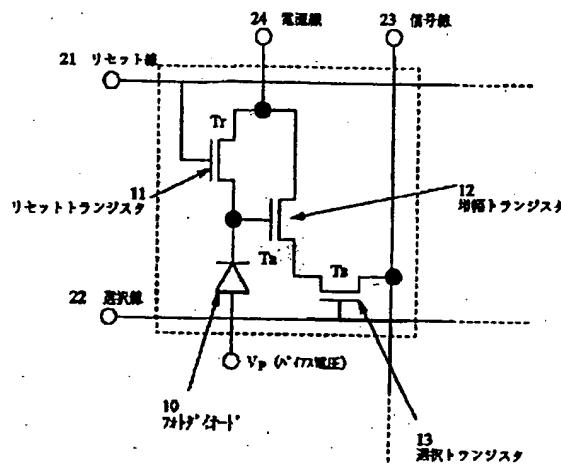


(B) 断面B-B'による断面図

【マトリクス回路】	
401: 溫度検 402: Pt7 検 403: 信号検 539: シールド電極	
512: シールド電極との接続用電極	
513,517: フルア「ゲート」の下部電極との接続用電極	
■: 溫度トランジスタ 504: ゲート電極 507: チャネル底部電極	
Tb: 9gbトランジスタ 504: ゲート電極 508: チャネル底部電極	
Tb: 増幅トランジスタ 506: ゲート電極 509: チャネル底部電極	

【フォトダイオード（光電変換部）】

[図17]



### 従来のアクティブ方式のイメージセンサの箇所回路図